

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-330828

(43) 公開日 平成4年(1992)11月18日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/30		8836-5 J		
G 0 6 F 1/02		7368-5 B		
15/31	Z	6798-5 L		
15/66	3 3 0 H	8420-5 L		
H 0 4 N 7/133	Z	8838-5 C		

審査請求 未請求 請求項の数 3 (全 27 頁) 最終頁に続く

(21) 出願番号 特願平3-128268

(22) 出願日 平成3年(1991)5月2日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大木 光晴

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

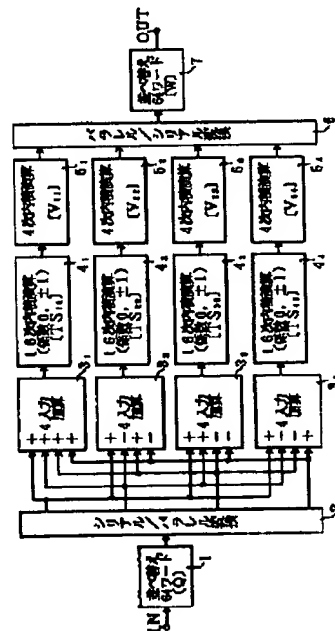
(74) 代理人 弁理士 小池 晃 (外3名)

(54) 【発明の名称】 離散コサイン変換回路及び離散コサイン変換の逆変換回路

(57) 【要約】

【構成】 供給された行列データをS/P変換回路2で4m個毎に並列化し、この並列データを4m個並列に配した内積演算回路3<sub>1</sub>～3<sub>4</sub>、4<sub>1</sub>～4<sub>4</sub>、5<sub>1</sub>～5<sub>4</sub>に順次直接供給するようにしている。

【効果】 簡単な構成でかつ4m倍以上の速度で演算が可能となる。



## 【特許請求の範囲】

【請求項1】 行列のデータ成分を所定の順序に並べ替える並べ替え手段と、行列の内積を演算する内積演算手段とを備えてなる離散コサイン変換回路において、シリアルに供給される行列データを4m個毎に並列化する並列化手段と、係数が+1及び-1で4次の第1の内積演算手段と、係数が0, +1及び-1で16次の第2の内積演算手段と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算手段とを有すると共に、上記第1, 第2及び第3の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記4m個のそれぞれの第1の内積演算手段に供給し、上記各第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記各第2の内積演算手段の出力を上記4m個のうちの対応する上記第3の内積演算手段に直接供給し、上記4m個の第3の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出することを特徴とする離散コサイン変換回路。

【請求項2】 行列のデータ成分を所定の順序に並べ替える並べ替え手段と、行列の内積を演算する内積演算手段とを備えてなる離散コサイン変換回路において、シリアルに供給される行列データを4m個毎に並列化する並列化手段と、係数が+1及び-1で4次の第1の内積演算手段と、係数が+1及び-1で2次の第2の内積演算手段と、係数が0, +1及び-1で8次の第3の内積演算手段と、定数行列のデータ成分が格納されたメモリを含む4次の第4の内積演算手段とを有し、上記第1, 第2, 第3, 第4の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記4m個のそれぞれの第1の内積演算手段に供給し、上記各第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記各第2の内積演算手段の出力を上記4m個のうちの対応する上記第3の内積演算手段に直接供給し、上記各第3の内積演算手段の出力を上記4m個のうちの対応する上記第4の内積演算手

$$\cos = \{ (2x+1) k\pi / 2N \}$$

$$(x=0, 1, \dots, N-1; k=1, \dots, N-1)$$

の要素からなる行列を用いて定義されるものである。例えば、2次元の場合は、次の式1及び式2の様に表される。

$$[Y] = [N] \cdot [X] \cdot {}^t[N] \quad (1)$$

$$[X] = {}^t[N] \cdot [Y] \cdot [N] \quad (2)$$

【0004】なお、行列の規模が $2^N$ 行 $2^N$ 列の時、上記式1には、 $1/2^{N+1}$ の係数が掛かるが、これは $N+1$ ビットのデータシフトと等価であるため、この係数の

\*段に直接供給し、上記4m個の第4の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出することを特徴とする離散コサイン変換回路。

【請求項3】 行列のデータ成分を所定の順序に並べ替える並べ替え手段と、行列の内積を演算する内積演算手段とを備えてなる離散コサイン変換の逆変換回路において、シリアルに供給される行列データを4m個毎に並列化する並列化手段と、定数行列のデータ成分が格納されたメモリを含む4次の第1の内積演算手段と、係数が0, +1及び-1で16次の第2の内積演算手段と、係数が+1及び-1で4次の第3の内積演算手段とを有すると共に、上記第1, 第2及び第3の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記4m個のうちの対応する第1の内積演算手段に供給し、上記各第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記4m個の第2の内積演算手段からの各出力データを上記4m個のそれぞれの上記第3の内積演算手段に直接供給し、上記4m個の第3の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出することを特徴とする離散コサイン変換の逆変換回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えばディジタル画像処理等に用いて好適な離散コサイン変換回路及び離散コサイン変換の逆変換回路に関するものである。

## 【0002】

【従来の技術】従来より、例えばディジタル画像処理等を行う場合のデータ圧縮処理の一手法としては、例えば、離散コサイン変換(DCT)処理が知られている。このDCTは帯域圧縮に適し、演算処理も比較的簡単な行列演算により実現可能となっている。

【0003】ここで、上記離散コサイン変換(DCT)及びこの離散コサイン変換の逆変換(IDCT)は、例えばN次の行列の場合、第1行の全てが $1/(2^{1/2})$ で、第2行以下は、

記載については省略する。また、式1及び式2にそれぞれ $1/2^{N+1}$ の係数が掛かると定義すれば、上記DCTとIDCTとが対称的になる。

【0005】ところで、行列の規模が例えば8行8列の場合、上記式1及び式2の定数行列[N]は、次の図11のように表される。ここで、この図11の定数行列[N]の各要素 $a \sim n$ は、図12に示すように、角度 $\pi/16$ を単位とする所定角の余弦である。

【0006】また、上記DCT及びIDCTを定義する上記式1及び式2から明らかなように、行列〔Y〕の要素 $y_{ij}$ は行列〔X〕の要素 $x_{ij}$ の1次式で表現されるものである。

【0007】したがって、図13及び図14に示すように、8行8列の要素 $x_{11} \sim x_{88}$ が列順に入力されて64次のベクトルとなる行列〔Xc〕と、8行8列の要素 $y_{11} \sim y_{88}$ が列順に出力されて64次のベクトルとなる行列〔Yc〕との間には、次の式3で表される関係が成立する。

$$[Yc] = [M] \cdot [Xc] \quad (3)$$

ここで、式3の〔M〕は64行64列の定数行列である。

【0008】このような式3の行列データの乗算演算を行って入力データの離散コサイン変換を実現する装置として、例えば、本件出願人は、特願平1-325289号の明細書及び図面に記載されるような内積演算回路と並べ替え回路とからなる行列データ乗算回路の構成を提案している。

【0009】すなわち、この行列データ乗算回路は、図15に示すように、行列の内積を演算する演算回路と、行列のデータ成分を所定の順序に並べ替える並べ替え回路とを備える行列データ乗算回路であって、係数が+1及び-1で4次の第1の内積演算回路42と、係数が0、+1及び-1で16次の第2の内積演算回路44と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算回路45とを設け、8行8列の入力データを第1の並べ替え回路（コーナターナ）41を介して第1の内積演算回路42に供給し、当該第1の内積演算回路42の出力を第2の並べ替え回路（コーナターナ）43を介して第2の内積演算回路44に供給し、当該第2の内積演算回路44の出力を直接第3の内積演算回路45に供給すると共に、当該第3の内積演算回路45の出力を第3の並べ替え回路（コーナターナ）46を\*

$$[M] = [W] \cdot [V] \cdot [TS] \cdot [R] \cdot [L] \cdot [Q] / 8 \quad (4)$$

【0014】この式4の行列〔Q〕、〔R〕及び〔W〕が上記第1、第2、第3のコーナターナ41、43、46にそれぞれ対応すると共に、行列〔L〕、〔TS〕、〔V〕が上記第1、第2、第3の内積演算回路42、44、45にそれぞれ対応する。各行列〔Q〕～〔W〕は何れも64行64列であり、図17～図39に示されるように、それぞれ多数の0要素を含む疎行列(sparseMatrix)である。

【0015】なお、上記図17～図39において、図中の+及び-はそれぞれ+1及び-1を表しており、他の行列を示す各図においても同様としている。

【0016】上記図17～図19において、図17の図中 $Q_1$ 及び $Q_2$ の部分には、図18に示す行列〔 $Q_1$ 〕及び図19に示す行列〔 $Q_2$ 〕のような各要素が入り、また、この図17の行列〔Q〕の残りの部分には全て0

\*介して導出するようにしたものである。

【0010】以下、この行列データ乗算回路について説明する。まず、図15においては、入力端子INから8行8列のデータが、前記図13の行列〔Xc〕に示すように列順で入力され、上記第1の並べ替え回路である64ワードの第1のコーナターナ41を介して、4次の第1の内積演算回路42に供給される。この内積演算回路42の出力は、上記第2の並べ替え回路である64ワードの第2のコーナターナ43を介して、16次の第2の内積演算回路44に供給される。また、上記内積演算回路44の出力は、4次の第3の内積演算回路45に供給され、当該内積演算回路45の出力が上記第3の並べ替え回路である64ワードの第3のコーナターナ46を介して、出力端子OUTに導出される。

【0011】ここで、後述のように、上記第1の内積演算回路42の係数は+1及び-1のみであり、第2の内積演算回路44の係数は0、+1、-1のみとなっている。また、上記第3の内積演算回路45の係数はDCTに特有の値となる。

【0012】なお、上記各コーナターナは、例えば図16に示すような構成で実現されるものである。すなわち、当該図16に示すコーナターナは、例えば一対のRAM81及び82と、入力端子80側及び出力端子85側の切換スイッチ83及び84とで構成されるものである。両切換スイッチ83、84は1対のRAM81及び82の一方にデータが書き込まれる期間に他方からデータが読み出されるように連動して切り換えられる。また、RAM81及び82の容量は、例えば上記8行8列の規模の行列に対応してそれぞれ64ワードとされる。

【0013】次に、図17～図39を参照しながら図15の行列データ乗算回路の動作について説明する。すなわちこの図15の行列データ乗算回路においては、上記DCTのための64行64列の定数行列〔M〕を次の式4に示すような6個の行列に分解している。

要素が入るようになっている。すなわち、当該図17に示される行列〔Q〕は、各行各列とも1か所だけが+1で残りの63個の各要素が全て0の疎行列となっている。

【0017】上記コーナターナ41では、この図17～図19に示されるような行列〔Q〕を用いて上記64ワードの入力データXの並べ替えを行う。上記コーナターナ41で並べ替えられたデータQXは、上記内積演算回路42に送られる。

【0018】当該内積演算回路42においては、上記並べ替えられたデータQXが、図20及び図21の行列〔L〕で表されるような演算処理を受ける。ここで、この図20、図21において、図20の図中 $L_{11}$ 、 $L_{22}$ 、 $L_{33}$ 、 $L_{44}$ の部分には、図21に示すような+1及び-1の要素のみで同形の4行4列の小行列が対角線上に4

5

個並び、他の部分が全て0の要素の行列 $[L_{11}]$ ,  $[L_{22}]$ ,  $[L_{33}]$ ,  $[L_{44}]$ が入る。したがって、この図20の行列 $[L]$ は、当該4行4列の小行列が対角線上に16個並び、残りの部分が全て0要素の疎行列となっている。

【0019】この内積演算回路42から出力された64ワードのデータ $LQX$ は、第2のコーナーナ43において、図22及び図23～図26に示す行列 $[R]$ で表されるように並べ替えられる。ここで、この図22及び図23～図26において、図22の図中 $R_{11}$ ,  $R_{22}$ ,  $R_{33}$ ,  $R_{44}$ の部分には、図23～図26に示すような0, +1及び-1の要素のみで構成される行列 $[R_{11}]$ ,  $[R_{22}]$ ,  $[R_{33}]$ ,  $[R_{44}]$ が入る。この第2のコーナーナ43で並べ替えられたデータ $R L Q X$ が、第2の内積演算回路44に送られる。

【0020】上記並べ替えられたデータ $R L Q X$ は、当該第2の内積演算回路44において、図27～図30の行列 $[TS]$ で表されるような演算処理を受ける。ここで、この図27～図30において、図27の図中 $T S_{11}$ ,  $T S_{22}$ ,  $T S_{33}$ ,  $T S_{44}$ には図28～図30に示すようなそれぞれ16行16列で+1, -1及び0の要素のみの小行列 $[T S_{11}]$ ,  $[T S_{22}]$ ,  $[T S_{33}]$ ,  $[T S_{44}]$ が入り、また、この図27の残りの部分には全て0が入るようになっている。すなわち、当該図27の行列 $[TS]$ は、それぞれ16行16列で+1, -1及び0の要素のみの小行列が対角線上に4個並び、他の部分が全て0要素の疎行列となっている。

【0021】上記内積演算回路44から出力された64ワードのデータ $T S R L Q X$ は、更に、第3の内積演算回路45において、図31～図34の行列 $[V]$ で表されるような演算処理を受ける。ここで、この図31～図34において、図31の図中 $V_{11}$ ,  $V_{22}$ ,  $V_{33}$ ,  $V_{44}$ の部分には、図32～図34に示すようなそれぞれ4行4列の小行列が対角線上に4個並び、他の部分が全て0要素の行列 $[V_{11}]$ ,  $[V_{22}]$ ,  $[V_{33}]$ ,  $[V_{44}]$ が入る。したがって、この図31の行列 $[V]$ は、当該4行4列の小行列が対角線上に16個並び、残りの部分には全て0要素が入る疎行列となっている。

【0022】この内積演算回路45から出力された64ワードのデータ $V T S R L Q X$ は、上記第3のコーナーナ46において、図35及び図36～図39に示す行列 $[W]$ で表されるように並べ替えられて、所望の出力データ $W V T S R L Q$ が得られる。ここで、この図35及び図36～図39において、図35の図中 $W_{11}$ ,  $W_{22}$ ,  $W_{33}$ ,  $W_{44}$ には、図36～図39に示すような0, +1及び-1の要素のみで構成される行列 $[W_{11}]$ ,  $[W_{22}]$ ,  $[W_{33}]$ ,  $[W_{44}]$ が入る。この第3のコーナーナ46で並べ替えられたデータ $W V T S R L Q X$ が、出力端子OUTから導出される。

【0023】上述したような図15の行列データ乗算回

6

路においては、各内積演算回路42, 44, 45の演算処理を表す行列 $[L]$ ,  $[TS]$ ,  $[V]$ が何れも疎行列であるため、乗算回数を少なくして、上記各内積演算回路を小規模にすることができる。また、上記内積演算回路42及び44については、行列 $[L]$ 及び $[TS]$ の係数が0と+1, -1のみであるため、例えば、簡単な乗算器の構成によって演算処理を行うことができると共に、内積演算時に丸め誤差が発生することがない。

【0024】更に、行列 $[L]$ ,  $[TS]$ 及び $[V]$ は、それらを形成する小行列が何れも対角線上に配列されており、各転置行列も同様の形になるため、逆変換の場合にも、前述の図15の行列データ乗算回路と同様の構成で対応すること可能となっている。

【0025】また、上記行列データ乗算回路は、図40に示すように、係数が+1及び-1で4次の第1の内積演算回路42と、係数が+1及び-1で2次の第2の内積演算回路47と、係数が0, +1及び-1で8次の第3の内積演算回路48と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算回路45とを設け、8行8列の入力データを第1のコーナーナ41を介して第1の内積演算回路42に供給し、当該第1の内積演算回路42の出力を第2のコーナーナ43を介して第2の内積演算回路47に供給し、当該第2の内積演算回路47の出力を直接第3の内積演算回路48に供給し、当該第3の内積演算回路48の出力を直接第4の内積演算回路45に供給すると共に、当該第4の内積演算回路45の出力を第3のコーナーナ46を介して導出するようにもしている。

【0026】なお、この図40において、前記図15と対応する部分には同一の指示符号を付して重複説明を省略する。

【0027】すなわち、図40において、入力端子INから8行8列のデータが、前記図13の行列 $[Xc]$ に示すように、列順で入力され、64ワードの第1のコーナーナ41を介して、4次の第1の内積演算回路42に供給される。この内積演算回路42の出力は、64ワードの第2のコーナーナ43を介して、2次の第2の内積演算回路47に供給され、当該内積演算回路47の出力が、実質的に8次の第3の内積演算回路48に供給される。この内積演算回路48の出力が4次の第4の内積演算回路45に供給され、内積演算回路45の出力は64ワードの第3のコーナーナ46を介して、出力端子OUTに導出される。

【0028】また、後述のように、第2の内積演算回路47の係数は、+1及び-1だけである。また、第3の内積演算回路48の係数は、+1, -1及び0だけであり、同一演算サイクル内で、+1又は-1の1が2個並ぶことがない。

【0029】ここで、図41～図46を参照しながら、図40の行列データ乗算回路の動作について説明する。

【0030】図40の行列データ乗算回路においては、  
DCTのための64行64列の定数行列[M]を次の式\*

$$[M] = [W] \cdot [V] \cdot [T] \cdot [S] \cdot [R] \cdot [L] \cdot [Q] / 8$$

【0031】この式5の行列[S]及び[T]が第2及び第3の内積演算回路47及び48にそれぞれ対応する。上記行列[S]及び[T]は何れも64行64列であり、これを図41～図46に示す。

【0032】まず、上記第2のコーナーナ43において並べ替えられたデータRLQXが、第2の内積演算回路47において、図41及び図42の行列[S]で表されるような演算処理を受ける。ここで、この図41及び図42において、図41の図中 $S_{11}$ ,  $S_{22}$ ,  $S_{33}$ ,  $S_{44}$ の部分には、図42に示すような+1及び-1の要素のみで同形の2行2列の小行列が対角線上に8個並び、他の部分が全て0要素の行列 $[S_{11}]$ ,  $[S_{22}]$ ,  $[S_{33}]$ ,  $[S_{44}]$ が入る。したがって、この図41の行列[S]は、当該2行2列の小行列が対角線上に32個並び、残りの部分には全て0要素が入る疎行列となっている。

【0033】次に、内積演算回路47から出力された64ワードのデータSRLQXは、更に、第3の内積演算回路48において、図43～図46の行列[T]で表されるような演算処理を受ける。ここで、この図43～図46において、図43の図中 $T_{11}$ ,  $T_{22}$ ,  $T_{33}$ ,  $T_{44}$ の部分には、図44～図46に示すように、それぞれ0, +1及び-1の要素のみで各行に+1又は-1の要素が2個並ぶことがないような16行16列の行列 $[T_{11}]$ ,  $[T_{22}]$ ,  $[T_{33}]$ ,  $[T_{44}]$ が入る。また、この図43の行列[T]の残りの部分には全て0が入るようになっている。すなわち、当該図43の行列[T]は、それぞれ上記16行16列の小行列が対角線上に4個並び、他の部分が全て0要素の疎行列となる。

【0034】その他の動作は、図15の行列データ乗算回路と同様である。

【0035】この図40の行列データ乗算回路においては、各内積演算回路42, 45, 47, 48の演算処理を表す[L], [V], [S], [T]が何れも疎行列であるため、乗算回路を少なくして、各内積演算回路を小規模にすることができる。また内積演算回路48については、行列の係数が+1, -1と0のみであり、各行に+1又は-1の係数が2個並ぶことがないため、例えば簡単な乗算器の構成によって演算処理ができ、内積演算時に丸め誤差が発生することがない。

【0036】なお、図40の行列データ乗算回路においては、行列[T]の転置行列が、各行で+1又は-1の係数が2個並ばない形になるため、逆変換の場合には、図40と同様の構成で対応することができない。

【0037】

【発明が解決しようとする課題】ところで、近年は、上

\*5に示すような7個の疎行列に分解している。

(5)

記離散コサイン変換及び離散コサイン変換の逆変換において、より高速にデータの処理を行うことが望まれている。このため、上記行列データ乗算回路のような離散コサイン変換や離散コサイン変換の逆変換処理を行う回路においても、より高速演算を行うことが望まれる。

【0038】そこで、本発明は、上述の実情に鑑みて提案されるものであって、離散コサイン変換及び離散コサイン変換の逆変換の演算処理を、より高速で実現することが可能な離散コサイン変換回路及び離散コサイン変換の逆変換回路を提供することを目的とするものである。

【0039】

【課題を解決するための手段】本発明の離散コサイン変換回路は、上述の目的を達成するために提案されたものであり、行列のデータ成分を所定の順序に並べ替える並べ替え手段と、行列の内積を演算する内積演算手段とを備えてなる離散コサイン変換回路であって、シリアルに供給される行列データを4m個毎に並列化する並列化手段と、係数が+1及び-1で4次の第1の内積演算手段と、係数が0, +1及び-1で16次の第2の内積演算手段と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算手段とを有すると共に、上記第1, 第2及び第3の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記第2の内積演算手段の出力を上記4m個のうちの対応する上記第3の内積演算手段に直接供給し、上記4m個の第3の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出するようにしたものである。

【0040】更に、本発明の離散コサイン変換回路は、シリアルに供給された行列データを4m個毎に並列化する並列化手段と、係数が+1及び-1で4次の第1の内積演算手段と、係数が+1及び-1で2次の第2の内積演算手段と、係数が0, +1及び-1で8次の第3の内積演算手段と、定数行列のデータ成分が格納されたメモリを含む4次の第4の内積演算手段とを有し、上記第1, 第2, 第3, 第4の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記第2の内積演

算手段の出力を上記4m個のうちの対応する上記第3の内積演算手段に直接供給し、上記第3の内積演算手段の出力を上記4m個のうちの対応する上記第4の内積演算手段に直接供給し、上記4m個の第4の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出するようにしたものでもある。

【0041】また、本発明の離散コサイン変換の逆変換回路は、行列のデータ成分を所定の順序に並べ替える並べ替え手段と、行列の内積を演算する内積演算手段とを備えてなる離散コサイン変換の逆変換回路であって、シリアルに供給される行列データを4m個毎に並列化する並列化手段と、定数行列のデータ成分が格納されたメモリを含む4次の第1の内積演算手段と、係数が0、+1及び-1で16次の第2の内積演算手段と、係数が+1及び-1で4次の第3の内積演算手段とを有すると共に、上記第1、第2及び第3の内積演算手段をそれぞれ4m個並列に配し、8行8列の入力データを第1の並べ替え手段を介して上記並列化手段に供給し、上記並列化手段から出力された並列データの各データを上記4m個のうちの対応する第1の内積演算手段に供給し、上記各第1の内積演算手段の出力データを上記4m個のうちの対応する上記第2の内積演算手段に直接供給し、上記4m個の第2の内積演算手段からの各出力データを上記4m個のそれぞれの上記第3の内積演算手段に直接供給し、上記4m個の第3の内積演算手段からの出力をシリアルデータに変換した後第2の並べ替え手段を介して導出するようにしたものでもある。

【0042】

【作用】本発明の離散コサイン変換回路及び離散コサイン変換の逆変換回路によれば、第1、第2、第3（及び第4）の内積演算手段をそれぞれ4m個並列に配しているため、演算処理速度が4m倍となる。また、供給された行列データを4m個毎に並列化する並列化手段の出力を、これら4m個並列化された第1の内積演算回路へ供給するようにしているため、この第1の内積演算回路の出力を更に並べ替えてから第2の内積演算回路に送る必要がなく直接供給することができる。

【0043】

【実施例】以下、本発明の離散コサイン変換回路及び離散コサイン変換の逆変換回路の実施例を、図面を参照しながら説明する。

【0044】図1には、本発明の離散コサイン変換回路の第1の実施例の構成を示す。この図1に示す第1の実施例の離散コサイン変換回路は、シリアルに供給された行列データを4m個毎に並列化する並列化手段としてのシリアル/パラレル（S/P）変換回路2と、係数が+1及び-1で4次の第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>と、係数が0、+1及び-1で16次の第2の内積演算回路4<sub>1</sub>～4<sub>4</sub>と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>とを有す

るものである。すなわち、この離散コサイン変換回路においては、上記第1、第2及び第3の内積演算回路がそれぞれ4m個並列に配されており、入力端子INを介した8行8列の入力データを第1の並べ替え手段である第1のコナターナ1を介して上記S/P変換回路2に供給し、上記S/P変換回路2から出力された並列データの各データを上記4m個のそれぞれの第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>に供給し、これら各第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>の出力データを上記4m個のうちの対応する上記第2の内積演算回路4<sub>1</sub>～4<sub>4</sub>に直接供給し、上記第2の内積演算回路4<sub>1</sub>～4<sub>4</sub>の出力を上記4m個のうちの対応する上記第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>に直接供給し、上記4m個の第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>からの出力をシリアルデータに変換した後第2の並べ替え手段である第2のコナターナ7を介して出力端子OUTから導出するようにしたものでもある。また、上記4m個の第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>の出力をシリアルデータに変換する処理は、パラレル/シリアル（P/S）変換回路6により行われる。

【0045】なお、図1に示す本実施例の回路においては、上記4m個のm=1の場合の例（mは2以上でもよい）を示しており、したがって、上記並列に配される各内積演算回路は、それぞれ4個となっている。また、以下に示す本発明実施例の説明は、前述した図17～図39を用いて説明する。

【0046】この図1において、入力端子INから8行8列のデータが、前記図13の行列[Xc]に示すように列順で入力され、64ワードの第1のコナターナ1に供給される。当該第1のコナターナ1では、前述した図17～図19に示す行列[Q]で入力データXの並べ替えを行う。

【0047】ところで、前述した図15に示した行列データ乗算回路においては、前記コナターナ41の出力は、コナターナ43に送られる。このコナターナ43での行列[R]の演算は単なる並べ替え処理であるが、このコナターナ43における並べ替え処理は、該コナターナ43の前段の各回路により得られる行列[L]・[Q]・[Xc]の64個のデータを4つの組に分けることにより、該コナターナ43の後段の内積演算回路44で前記図27～図30に示した行列[TS]の4つの小行列[TS<sub>11</sub>]、[TS<sub>21</sub>]、[TS<sub>31</sub>]、[TS<sub>41</sub>]の演算を可能とさせるために行われるものである。このため、上記コナターナ43では、上記行列[L]・[Q]・[Xc]の64個のデータを、当該行列[L]・[Q]・[Xc]の第1行目、第5行目、第9行目、・・・、第61行目の16個のデータと、上記行列[L]・[Q]・[Xc]の第2行目、第6行目、第10行目、・・・、第62行目の16個のデータと、上記行列[L]・[Q]・[Xc]の第3行目、第7行目、第11行目、・・・、第63行目の16

個のデータと、上記行列  $[L] \cdot [Q] \cdot [Xc]$  の第4行目、第8行目、第12行目、 $\dots$ 、第64行目の16個のデータとの、4つの組にわたる処理が行われている。

【0048】これに対し、本実施例においては、上記第1のコーナターナ1の出力データ  $QX$  が上記  $S/P$  変換回路2に供給される。当該  $S/P$  変換回路2は、上記コーナターナ1から供給されてくるシリアルデータの4つを1組としてパラレル化する処理を行う。このパラレル化された各データは、それぞれ上記4個の第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>に供給される。

【0049】ここで、上記第1の内積演算回路3<sub>1</sub>での係数は+1のみであり、内積演算回路3<sub>2</sub>～3<sub>4</sub>での係数は+1及び-1のみとなっている。すなわち、上記第1の内積演算回路3<sub>1</sub>での係数は前述の図20及び図21に示した4行4列の小行列が対角線上に16個並んだ行列  $[L]$  の第1行目、第5行目、第9行目、 $\dots$ 、第61行目の上記各4行4列の小行列における係数と対応しており、上記内積演算回路3<sub>2</sub>の係数は上記行列  $[L]$  の第2行目、第6行目、第10行目、 $\dots$ 、第62行目の上記各4行4列の小行列における係数と対応し、上記内積演算回路3<sub>3</sub>の係数は上記行列  $[L]$  の第3行目、第7行目、第11行目、 $\dots$ 、第63行目の上記各4行4列の小行列における係数と対応し、上記内積演算回路3<sub>4</sub>の係数は上記行列  $[L]$  の第4行目、第8行目、第12行目、 $\dots$ 、第64行目の上記各4行4列の小行列における係数と対応している。このため、上記第1の内積演算回路3<sub>1</sub>では上記行列  $[L]$  の第1行目、第5行目、第9行目、 $\dots$ 、第61行目の演算が行われ、上記内積演算回路3<sub>2</sub>では上記行列  $[L]$  の第2行目、第6行目、第10行目、 $\dots$ 、第62行目の演算が、上記内積演算回路3<sub>3</sub>では上記行列  $[L]$  の第3行目、第7行目、第11行目、 $\dots$ 、第63行目の演算が、上記内積演算回路3<sub>4</sub>では上記行列  $[L]$  の第4行目、第8行目、第12行目、 $\dots$ 、第64行目の演算が行われるようになる。これら各回路3<sub>2</sub>～3<sub>4</sub>からは、それぞれの演算結果が出力される。

【0050】すなわち、本実施例においては、第1の内積演算回路3<sub>1</sub>からは前述した行列データ乗算回路における行列  $[L] \cdot [Q] \cdot [Xc]$  の第1行目、第5行目、第9行目、 $\dots$ 、第61行目のデータが出力され、上記内積演算回路3<sub>2</sub>からは前記行列  $[L] \cdot [Q] \cdot [Xc]$  の第2行目、第6行目、第10行目、 $\dots$ 、第62行目のデータが、上記内積演算回路3<sub>3</sub>からは行列  $[L] \cdot [Q] \cdot [Xc]$  の第3行目、第7行目、第11行目、 $\dots$ 、第63行目のデータが、上記内積演算回路3<sub>4</sub>からは上記行列  $[L] \cdot [Q] \cdot [Xc]$  の第4行目、第8行目、第12行目、 $\dots$ 、第64行目のデータが出力されるようになっている。

【0051】したがって、本発明実施例によれば、前述

した行列データ乗算回路において行列  $[R]$  の演算を行う並べ替え回路（コーナターナ43）が必要なく、本実施例の第1の内積演算回路3<sub>2</sub>～3<sub>4</sub>の出力を、それぞれ対応する上記第2の内積演算回路4<sub>2</sub>～4<sub>4</sub>に直接入力させればよいことがわかる。

【0052】このようなことから、本実施例においては、これら第1の内積演算回路3<sub>2</sub>～3<sub>4</sub>の各出力データを、それぞれ対応する上記第2の内積演算回路4<sub>2</sub>～4<sub>4</sub>に直接送るようにしている。このため、上記内積演算回路4<sub>2</sub>では上記行列  $[L] \cdot [Q] \cdot [Xc]$  の第1行目、第5行目、第9行目、 $\dots$ 、第61行目のデータを使用して前述した図27～図30に示した行列  $[TS]$  の4つの小行列  $[TS_{11}]$ 、 $[TS_{22}]$ 、 $[TS_{33}]$ 、 $[TS_{44}]$  のうちの小行列  $[TS_{11}]$  の演算が行われ、上記内積演算回路3<sub>3</sub>では上記行列  $[L] \cdot [Q] \cdot [Xc]$  の第2行目、第6行目、第10行目、 $\dots$ 、第62行目のデータを使用して小行列  $[TS_{22}]$  の演算が行われ、上記内積演算回路3<sub>4</sub>では行列  $[L] \cdot [Q] \cdot [Xc]$  の第3行目、第7行目、第11行目、 $\dots$ 、第63行目のデータを使用して  $[TS_{33}]$  の演算が行われ、上記内積演算回路3<sub>4</sub>では上記行列  $[L] \cdot [Q] \cdot [Xc]$  の第4行目、第8行目、第12行目、 $\dots$ 、第64行目のデータを使用して  $[TS_{44}]$  の演算が行われることになる。

【0053】更に、これら第2の内積演算回路4<sub>2</sub>～4<sub>4</sub>の各出力データは、それぞれ対応する上記第3の内積演算回路5<sub>2</sub>～5<sub>4</sub>に直接送られる。これら第3の内積演算回路5<sub>2</sub>～5<sub>4</sub>の係数はDCTに特有の値となっている。これら各内積演算回路でも上述同様に、上記内積演算回路5<sub>2</sub>では、前述した図31～図34に示した行列  $[V]$  の4つの小行列  $[V_{11}]$ 、 $[V_{22}]$ 、 $[V_{33}]$ 、 $[V_{44}]$  のうちの上記小行列  $[V_{11}]$  の演算が行われ、上記内積演算回路5<sub>3</sub>では上記小行列  $[V_{22}]$  の演算が、上記内積演算回路5<sub>4</sub>では上記小行列  $[V_{33}]$  の演算が、上記内積演算回路5<sub>4</sub>では上記小行列  $[V_{44}]$  の演算が行われることになる。

【0054】上述のようなことから、上記4つの第3の内積演算回路5<sub>2</sub>～5<sub>4</sub>からの4つの出力端子からは、行列  $[V] \cdot [TS] \cdot [R] \cdot [L] \cdot [Q] \cdot [Xc]$  のデータが出力されるようになる。

【0055】これら4つの第3の内積演算回路5<sub>2</sub>～5<sub>4</sub>の出力は、上記  $P/S$  変換回路6に送られ、当該  $P/S$  変換回路6でシリアルデータに変換される。すなわち、当該  $P/S$  変換回路6から出力されるシリアルデータは、行列  $[V] \cdot [TS] \cdot [R] \cdot [L] \cdot [Q] \cdot [Xc]$  のデータとなる。このデータが上記第2のコーナターナ7に送られる。当該コーナターナ7では、前述の図35～図39に示した行列  $[W]$  により供給されたデータの並べ替えを行う。これにより、出力端子OUTからは、前述の図14に示したような行列  $[Y$

c) のデータが出力されるようになる。

【0056】なお、上記行列〔Yc〕は、式6に示すよ\*

$$\begin{aligned} [Yc] &= [M] \cdot [Xc] \\ &= [W] \cdot [V] \cdot [TS] \\ &\quad \cdot [R] \cdot [L] \cdot [Q] \cdot [Xc] / 8 \end{aligned} \quad (6)$$

であるため、上記出力端子OUTの出力結果を8で割る必要があるが、実際には3ビットずらせばよく、回路的には付加構成が不要であるため、図1では省略している。

【0057】図2に上記第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>の具体的な構成を示す。この図2の内積演算回路は、図1の各内積演算回路3<sub>1</sub>～3<sub>4</sub>に相当し、4個の2の補数回路5<sub>41</sub>～5<sub>44</sub>と、切換スイッチ5<sub>31</sub>～5<sub>34</sub>と、加算器5<sub>5</sub>とを有するものであり、例えば4つの各入力端子IN<sub>1</sub>～IN<sub>4</sub>に供給されたデータに+1又は-1の何れかの係数を乗算したデータの加算を行う加算回路として動作するものである。すなわち、入力端子IN<sub>1</sub>～IN<sub>4</sub>を介して供給された前記S/P変換回路2からの並列データの各データは、それぞれ対応する上記スイッチ5<sub>31</sub>～5<sub>34</sub>の+側の被切換端子に供給されると共に、対応する2の補数回路5<sub>41</sub>～5<sub>44</sub>を介して当該各スイッチ5<sub>31</sub>～5<sub>34</sub>の-側の被切換端子にそれぞれ供給される。スイッチ5<sub>31</sub>～5<sub>34</sub>の各出力が加算器5<sub>5</sub>に供給され、当該加算器5<sub>5</sub>で総和がとられて出力端子OUTから出力される。

【0058】上記各スイッチ5<sub>31</sub>～5<sub>34</sub>は、各補数回路5<sub>41</sub>～5<sub>44</sub>と共に係数が+1、-1のみの乗算器を構成し、システム制御回路5<sub>6</sub>によって互いに独立に切り換えられるものである。また、上記2の補数回路5<sub>41</sub>～5<sub>44</sub>は、周知のものであって、否定回路と加算回路とで構成されるものである。

【0059】ここで、上記内積演算回路3<sub>1</sub>においては、前述したように図20及び図21に示した行列〔L〕の第1行目、第5行目、第9行目、・・・、第61行目の前記4行4列の小行列における要素と対応しているため、その係数は+1のみとなっている。このため、該内積演算回路3<sub>1</sub>の上記4個のスイッチ5<sub>31</sub>～5<sub>34</sub>では、+側の被切換端子のみが選ばれ、したがって、当該内積演算回路3<sub>1</sub>では、各入力端子IN<sub>1</sub>～IN<sub>4</sub>に供給された各データが加算器5<sub>5</sub>で加算されて、出力端子OUTから出力される。

【0060】また、上記内積演算回路3<sub>2</sub>においては、前述の図20及び図21に示した行列〔L〕の第2行目、第6行目、第10行目、・・・、第62行目の前記4行4列の小行列における要素と対応しており、その係数は+1又は-1となる。例えば、該内積演算回路3<sub>2</sub>の上記スイッチ5<sub>31</sub>では+側の被切換端子が選ばれ、スイッチ5<sub>32</sub>では-側の被切換端子が、スイッチ5<sub>33</sub>では+側の被切換端子が、スイッチ5<sub>34</sub>では-側の被切換端子が選ばれる。したがって、該内積演算回路3

＊うに、

では、各スイッチの切り換えに応じて選ばれた+1又は-1の係数が乗算されたデータが加算器5<sub>5</sub>で加算されて、出力端子OUTから出力される。

【0061】以下同じように、上記内積演算回路3<sub>3</sub>においては、前述の図20及び図21に示した行列〔L〕の第3行目、第7行目、第11行目、・・・、第63行目の前記4行4列の小行列の要素と対応しており、その係数は+1又は-1となる。例えば、該内積演算回路3<sub>3</sub>の上記スイッチ5<sub>31</sub>では+側の被切換端子が選ばれ、スイッチ5<sub>32</sub>では+側の被切換端子が、スイッチ5<sub>33</sub>では-側の被切換端子が、スイッチ5<sub>34</sub>では-側の被切換端子が選ばれる。また更に、上記内積演算回路3<sub>4</sub>においては、前述の図20及び図21に示した行列〔L〕の第4行目、第8行目、第12行目、・・・、第64行目の前記4行4列の小行列の要素と対応しており、その係数は+1又は-1となる。例えば、該内積演算回路3<sub>4</sub>の上記スイッチ5<sub>31</sub>では+側の被切換端子が選ばれ、スイッチ5<sub>32</sub>では-側の被切換端子が、スイッチ5<sub>33</sub>では+側の被切換端子が選ばれる。これら内積演算回路3<sub>1</sub>、3<sub>2</sub>、3<sub>3</sub>、3<sub>4</sub>では、それぞれ各スイッチの切り換えに応じた+1又は-1の係数の乗算されたデータが加算器5<sub>5</sub>で加算されて、出力端子OUTから出力される。

【0062】なお、各係数は、上記システム制御回路5<sub>6</sub>で制御されるものとせず、固定のものとするのも可能である。これにより更に構成が簡略化される。

【0063】図3に上記16次の内積演算回路4<sub>1</sub>～4<sub>4</sub>の具体的な構成を示す。この図3の16次の内積演算回路は図1の各内積演算回路4<sub>1</sub>～4<sub>4</sub>に相当し、15個の単位遅延器6<sub>11</sub>、6<sub>12</sub>～6<sub>115</sub>が逆順に縦続接続されて、その出力端、両接続中点及び入力端に16個のラッチ回路6<sub>21</sub>、6<sub>22</sub>～6<sub>216</sub>がそれぞれ接続される。これらラッチ回路6<sub>21</sub>～6<sub>216</sub>の出力は、それぞれ3つの被切換端子を有するスイッチ6<sub>31</sub>、6<sub>32</sub>～6<sub>316</sub>の+側の被切換端子に供給されると共に、2の補数回路6<sub>41</sub>、6<sub>42</sub>～6<sub>416</sub>を介してスイッチ6<sub>31</sub>～6<sub>316</sub>の-側の被切換端子にそれぞれ供給される。また、上記スイッチ6<sub>31</sub>～6<sub>316</sub>の3つ目の被切換端子には、係数0がそれぞれ供給されるようになっており、当該スイッチ6<sub>31</sub>～6<sub>316</sub>の各出力が加算器6<sub>5</sub>に供給される。

【0064】上記各スイッチ6<sub>31</sub>～6<sub>316</sub>は、上記各2の補数回路6<sub>41</sub>～6<sub>416</sub>と共に係数が0、+1、-1のみの乗算器を構成し、システム制御回路5<sub>6</sub>によって互いに独立に切り換えられるようになってい



【0065】図3において、入力端子INにはそれぞれ対応する上記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの64ワード単位のデータが供給され、上記入力端子IN或いは対応する単位遅延器61<sub>1</sub>～61<sub>4</sub>を介したそれぞれ16個の64ワード単位のデータが上記16個のラッチ回路62<sub>1</sub>～62<sub>4</sub>に取り込まれ、16T時間にわたって保持される。すなわち、当該16次の内積演算回路60においては、上記入力端子INを介して供給された64ワード単位の行列データが直接に、或いは、当該64ワード単位でデータの遅延を行うと共に縦続接続された各単位遅延器61<sub>1</sub>～61<sub>4</sub>を介して、対応する上記各ラッチ回路62<sub>1</sub>～62<sub>4</sub>に送られる。この状態で、各ラッチ回路62<sub>1</sub>～62<sub>4</sub>には共通のイネーブルパルスが供給され、これにより、上記各ラッチ回路62<sub>1</sub>～62<sub>4</sub>に供給された行列データが取り込まれ、16T時間にわたって保持される。

【0066】また、上記内積演算回路4<sub>1</sub>～4<sub>4</sub>のそれぞれの上記16個のスイッチ63<sub>1</sub>～63<sub>4</sub>は、前述した行列[TS]の16行16列の小行列[TS<sub>11</sub>], [TS<sub>21</sub>], [TS<sub>31</sub>], [TS<sub>41</sub>]の要素が0, +1, -1の何れかであるかによって、0側、+側、-側の被切換端子に切り換えられる。これにより、各ラッチ回路62<sub>1</sub>～62<sub>4</sub>に保持されたデータに0, +1又は-1の係数が乗算されることになる。各スイッチ63<sub>1</sub>～63<sub>4</sub>の出力は、加算器65で加算されて、出力端子OUTから出力されることになる。

【0067】更に、上記内積演算回路5<sub>1</sub>～5<sub>4</sub>は、具体的には図4に示すような4次の内積演算回路10の構成により実現できる。この図4に示す内積演算回路は、図1の各内積演算回路5<sub>1</sub>～5<sub>4</sub>に相当し、3個の単位遅延器11<sub>1</sub>, 11<sub>2</sub>, 11<sub>3</sub>と、4個のラッチ回路12<sub>1</sub>～12<sub>4</sub>と、乗算器13<sub>1</sub>～13<sub>4</sub>と、係数ROM14<sub>1</sub>～14<sub>4</sub>と、乗算器13<sub>1</sub>～13<sub>4</sub>及び加算器15とを有してなるものである。ここで、この内積演算回路においては、上記3個の単位遅延器11<sub>1</sub>, 11<sub>2</sub>, 11<sub>3</sub>が逆順に縦続接続されて、その出力端、同接続中点及び入力端に4個のラッチ回路12<sub>1</sub>～12<sub>4</sub>がそれぞれ接続され、各ラッチ回路12<sub>1</sub>～12<sub>4</sub>にそれぞれ接続する乗算器13<sub>1</sub>～13<sub>4</sub>に係数ROM14<sub>1</sub>～14<sub>4</sub>がそれぞれ接続されると共に、各乗算器13<sub>1</sub>～13<sub>4</sub>の出力が加算器15に接続されて、有限インパルス応答(FIR)型のトランスバースフィルタ構成となっている。

【0068】この図4において、入力端子INにはそれぞれ対応する上記内積演算回路4<sub>1</sub>～4<sub>4</sub>からの64ワード単位のデータが供給され、上記入力端子IN及び単位遅延器11<sub>1</sub>～11<sub>3</sub>を介したそれぞれ4個の64ワード単位のデータが上記4個のラッチ回路12<sub>1</sub>～12<sub>4</sub>に取り込まれ、4T時間にわたって保持される。すなわち、当該4次の内積演算回路においては、上記入力端

子INを介して供給された64ワード単位の行列データが直接に、或いは、当該64ワード単位でデータの遅延を行うと共に縦続接続された上記単位遅延器11<sub>1</sub>～11<sub>3</sub>等を介して対応する上記各ラッチ回路12<sub>1</sub>～12<sub>4</sub>に送られる。この状態で、各ラッチ回路12<sub>1</sub>～12<sub>4</sub>には共通のイネーブルパルスが供給され、これにより、各ラッチ回路12<sub>1</sub>～12<sub>4</sub>に供給された行列データが取り込まれ、4T時間にわたって保持される。この各ラッチ回路12<sub>1</sub>～12<sub>4</sub>の各出力は、対応する乗算器13<sub>1</sub>～13<sub>4</sub>に送られる。

【0069】また、上記ROM14<sub>1</sub>～14<sub>4</sub>からは、前述のDCTに特有の値で前述の図31～図34に示した行列[V]の4つの小行列[V<sub>11</sub>], [V<sub>21</sub>], [V<sub>31</sub>], [V<sub>41</sub>]の要素に応じた係数データが出力され、それぞれ対応する乗算器13<sub>1</sub>～13<sub>4</sub>に送られる。したがって、各乗算器13<sub>1</sub>～13<sub>4</sub>では、上記ラッチ回路12<sub>1</sub>～12<sub>4</sub>からのデータに上記ROM14<sub>1</sub>～14<sub>4</sub>の係数データが乗算される。この各乗算器13<sub>1</sub>～13<sub>4</sub>の出力が加算器15で加算されて、出力端子OUTから出力される。

【0070】なお、本実施例においては、行列[TS]及び[V]を合体して行列[VTS]を形成した場合、それぞれ16次及び4次の内積演算回路に代えて、単一の通常の16次内積演算回路を用いることができる。

【0071】本発明の離散コサイン変換回路は、図5に示すような第2の実施例のような構成とすることもできる。この図5に示すに、シリアルに供給された行列データを4m個毎に並列化する並列化手段としてのシリアル/パラレル(S/P)変換回路2と、係数が+1及び-1で4次の第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>と、係数が+1及び-1で2次の第2の内積演算回路23<sub>1</sub>～23<sub>4</sub>と、係数が0, +1及び-1で8次の第2の内積演算回路25<sub>1</sub>～25<sub>4</sub>と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>とを有するものである。すなわち、この離散コサイン変換回路においては、上記第1, 第2, 第3及び第4の内積演算回路がそれぞれ4m個並列に配されており、8行8列の入力データを第1の並べ替え手段である第1のコナターナ1を介して上記S/P変換回路2に供給し、上記S/P変換回路2から出力された並列データの各データを上記4m個のそれぞれの第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>に供給し、これら各第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>の出力データを上記4m個のうちの対応する上記第2の内積演算回路24<sub>1</sub>～24<sub>4</sub>に直接供給し、上記各第2の内積演算回路24<sub>1</sub>～24<sub>4</sub>の出力を上記4m個のうちの対応する上記第3の内積演算回路25<sub>1</sub>～25<sub>4</sub>に直接供給し、上記各第3の内積演算回路25<sub>1</sub>～25<sub>4</sub>の出力を上記4m個のうちの対応する上記第4の内積演算回路5<sub>1</sub>～5<sub>4</sub>に直接供給し、上記4m個の第4の内積演算回路5<sub>1</sub>～5<sub>4</sub>からの出力をシリアルデータに変

換した後第2の並べ替え手段である第2のコナターナ7を介して出力端子OUTから導出するようにしたものである。また、上記4m個の第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>の出力を直列データに変換する処理は、パラレル/シリアル(P/S)変換回路6により行われる。

【0072】なお、この図5の構成において、上記図1に対応する部分には同一の指示符号を付けて重複説明を省略する。また、この第2の実施例回路においても、上記4m個のm=1の場合の例(mは2以上でもよい)を示しており、したがって、上記並列に配される各内積演算回路は、それぞれ4個となっている。更に以下に示す第2の実施例の説明は、前述の図40の行列データ乗算回路及び図41～図46を用いて説明する。

【0073】この図5においては、前記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの出力データがそれぞれ対応する上記第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>に直接送られ、またこの第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>からの出力データがそれぞれ対応する上記第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>に直接送られる。上記第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>の係数は+1, -1のみとなっている。また上記第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>の係数は0, +1, -1のみとなっており、同一演算サイクル内で、+1又は-1の1が2個並ぶことがないものとなっている。

【0074】すなわち、この図5においては、前述の図1と同様に、第1の内積演算回路3<sub>1</sub>からは前述した行列[L]・[Q]・[Xc]の第1行目、第5行目、第9行目、・・・、第61行目のデータが出力され、上記内積演算回路3<sub>1</sub>からは前記行列[L]・[Q]・[Xc]の第2行目、第6行目、第10行目、・・・、第62行目のデータが、上記内積演算回路3<sub>1</sub>からは行列[L]・[Q]・[Xc]の第3行目、第7行目、第11行目、・・・、第63行目のデータが、上記内積演算回路3<sub>1</sub>からは上記行列[L]・[Q]・[Xc]の第4行目、第8行目、第12行目、・・・、第64行目のデータが出力される。

【0075】したがって、この第2の実施例においても、前述した図40に示したような行列データ乗算回路において行列[R]の演算を行う並べ替え回路43が必要なく、本実施例の第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>の出力を、それぞれ対応する上記第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>に入力させればよいことがわかる。

【0076】このようなことから、本実施例においては、これら第1の内積演算回路3<sub>1</sub>～3<sub>4</sub>の各出力データを、それぞれ対応する上記第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>に直接送るようにしている。したがって、上記内積演算回路2<sub>41</sub>では上記行列[L]・[Q]・[Xc]の第1行目、第5行目、第9行目、・・・、第61行目のデータを使用して前述した図41～図42に示した行列[S]の4つの小行列[S<sub>11</sub>], [S<sub>21</sub>], [S<sub>31</sub>], [S<sub>41</sub>]のうちの小行列[S<sub>11</sub>]の演算が行わ

れ、上記内積演算回路2<sub>41</sub>では上記行列[L]・[Q]・[Xc]の第2行目、第6行目、第10行目、・・・、第62行目のデータを使用して小行列[S<sub>21</sub>]の演算が行われ、上記内積演算回路2<sub>41</sub>では行列[L]・[Q]・[Xc]の第3行目、第7行目、第11行目、・・・、第63行目のデータを使用して[S<sub>31</sub>]の演算が行われ、上記内積演算回路2<sub>41</sub>では上記行列[L]・[Q]・[Xc]の第4行目、第8行目、第12行目、・・・、第64行目のデータを使用して[S<sub>41</sub>]の演算が行われることになる。

【0077】更に、これら第2の内積演算回路2<sub>41</sub>～2<sub>44</sub>の各出力データは、それぞれ対応する上記第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>に直接送られる。これら第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>でも上述同様に、上記内積演算回路2<sub>51</sub>では、前述した図43～図46に示した行列[T]の4つの小行列[T<sub>11</sub>], [T<sub>21</sub>], [T<sub>31</sub>], [T<sub>41</sub>]のうちの上記小行列[T<sub>11</sub>]の演算が行われ、上記内積演算回路2<sub>51</sub>では上記小行列[T<sub>21</sub>]の演算が、上記内積演算回路2<sub>51</sub>では上記小行列[T<sub>31</sub>]の演算が、上記内積演算回路2<sub>51</sub>では上記小行列[T<sub>41</sub>]の演算が行われることになる。

【0078】上述のようなことから、上記4つの第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>からの4つの出力は、行列[V]・[T]・[S]・[R]・[L]・[Q]・[Xc]のデータが出力されるようになる。

【0079】これら4つの第3の内積演算回路2<sub>51</sub>～2<sub>54</sub>の出力はそれぞれ対応する第4の内積演算回路5<sub>1</sub>～5<sub>4</sub>に送られ、該第4の内積演算回路5<sub>1</sub>～5<sub>4</sub>の出力は、上記P/S変換回路6に送られる。以下は、前述の図1と同様である。

【0080】図6に上記2次の内積演算回路2<sub>41</sub>～2<sub>44</sub>の具体的構成を示す。この図6において、2次の内積演算回路は図5の各内積演算回路2<sub>41</sub>～2<sub>44</sub>に相当し、1個の単位遅延器91の入力端及び出力端に2個のラッチ回路92<sub>1</sub>, 92<sub>2</sub>がそれぞれ接続される。これらラッチ回路92<sub>1</sub>, 92<sub>2</sub>の出力は、それぞれ2つの被切換端子を有するスイッチ93<sub>1</sub>, 93<sub>2</sub>の+側の被切換端子に供給されると共に、2の補数回路94<sub>1</sub>, 94<sub>2</sub>を介してスイッチ93<sub>1</sub>, 93<sub>2</sub>の-側の被切換端子にそれぞれ供給される。当該スイッチ93<sub>1</sub>～93<sub>3</sub>の各出力が加算器95に供給される。

【0081】上記各スイッチ93<sub>1</sub>, 93<sub>2</sub>は、上記各2の補数回路94<sub>1</sub>, 94<sub>2</sub>と共に係数が+1, -1のみの乗算器を構成し、システム制御回路96によって互いに独立に切り換えられるようになっている。

【0082】図6において、入力端子INにはそれぞれ対応する上記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの64ワード単位のデータが供給され、上記入力端子IN或いは対応する単位遅延器91を介したそれぞれ2個の64ワード単位のデータが上記2個のラッチ回路92<sub>1</sub>, 92<sub>2</sub>に

取り込まれ、2T時間にわたって保持される。すなわち、当該2次の内積演算回路においては、上記入力端子INを介して供給された64ワード単位の行列データが直接に、或いは、当該64ワード単位でデータの遅延を行う単位遅延器91を介して、対応する上記各ラッチ回路92<sub>1</sub>、92<sub>2</sub>に送られる。この状態で、各ラッチ回路92<sub>1</sub>、92<sub>2</sub>には共通のイネーブルパルスが供給され、これにより、上記各ラッチ回路92<sub>1</sub>、92<sub>2</sub>に供給された行列データが取り込まれ、2T時間にわたって保持される。

【0083】また、上記内積演算回路24<sub>1</sub>～24<sub>4</sub>のそれぞれの上記2個のスイッチ93<sub>1</sub>、93<sub>2</sub>は、前述した行列[S]の小行列[S<sub>11</sub>], [S<sub>21</sub>], [S<sub>31</sub>], [S<sub>41</sub>]の要素が+1, -1の何れかであるかによって+側、-側の被切換端子に切り換えられる。これにより、各ラッチ回路92<sub>1</sub>、92<sub>2</sub>に保持されたデータに+1又は-1の係数が乗算されることになる。各スイッチ93<sub>1</sub>、93<sub>2</sub>の出力は、加算器95で加算されて、出力端子OUTから出力されることになる。

【0084】図7に上記第3の内積演算回路25<sub>1</sub>～25<sub>4</sub>の具体的な構成を示す。この図7において、8次の内積演算回路は図5の各内積演算回路25<sub>1</sub>～25<sub>4</sub>に相当し、15個の単位遅延器71<sub>1</sub>、71<sub>2</sub>～71<sub>15</sub>が逆順に縦続接続されて、その出力端、各接続中点及び入力端に16個のラッチ回路72<sub>1</sub>、72<sub>2</sub>～72<sub>16</sub>がそれぞれ接続され、各1対のラッチ回路72<sub>1</sub>と72<sub>2</sub>、72<sub>3</sub>と72<sub>4</sub>、・・・、72<sub>15</sub>と72<sub>16</sub>の出力が8個の切換スイッチ73<sub>1</sub>、73<sub>2</sub>～73<sub>8</sub>の各1対の被切換端子に供給される。当該スイッチ73<sub>1</sub>～73<sub>8</sub>の各出力が、8個の切換スイッチ74<sub>1</sub>、74<sub>2</sub>～74<sub>8</sub>の各+側の被切換端子に供給されると共に、8個の2の補数回路75<sub>1</sub>、75<sub>2</sub>～75<sub>8</sub>を介して、スイッチ74<sub>1</sub>～74<sub>8</sub>の各-側の被切換端子に供給される。このスイッチ74<sub>1</sub>～74<sub>8</sub>の各出力が加算器76に供給される。

【0085】切換スイッチ74<sub>1</sub>～74<sub>8</sub>は、上記2の補数回路75<sub>1</sub>～75<sub>8</sub>と共に、係数が+1, -1だけの乗算器をそれぞれ構成し、スイッチ73<sub>1</sub>～73<sub>8</sub>と共に、システム制御回路77により互いに独立に切り換えられる。

【0086】この図7において、入力端子INから、64ワード単位のデータが供給され、それぞれ16個のデータが上記16個のラッチ回路72<sub>1</sub>～72<sub>16</sub>に取り込まれ、16T時間にわたって保持される。

【0087】上記内積演算回路25<sub>1</sub>～25<sub>4</sub>の8個のスイッチ73<sub>1</sub>～73<sub>8</sub>は、前記行列[T]の16行16列の小行列[T<sub>11</sub>], [T<sub>21</sub>], [T<sub>31</sub>], [T<sub>41</sub>]の要素が0であるか否かにより、0でない側に切り換えられて、各ラッチ回路72<sub>1</sub>～72<sub>16</sub>に保持されたデータ中、+1又は-1の要素に対応するデータが取り込ま

れる。また、8個のスイッチ74<sub>1</sub>～74<sub>8</sub>は、前記行列[T]の16行16列の小行列[T<sub>11</sub>], [T<sub>21</sub>], [T<sub>31</sub>], [T<sub>41</sub>]の要素が+1であるか-1により、+側又は-側の被切換端子に切り換えられて、各ラッチ回路72<sub>1</sub>～72<sub>16</sub>に保持されていたデータに+1又は-1の係数が乗算され、加算器76で加算されて、出力端子OUTから出力される。

【0088】以下の動作は前述した第1の実施例と同様である。

10 【0089】上述したように、本発明実施例の離散コサイン変換回路によれば、各内積演算回路を4m個並列に配しているため、前記行列データ乗算回路に比べて例えば4m倍以上の速度で離散コサイン変換の処理を行うことが可能となっていると共に、前述の図15及び図40に示したような行列[R]を用いて供給されたデータの並べ替えを行うコーナターナ43が不要となり、構成の簡略化が図れるようになっている。

【0090】更に、図8には、本発明の離散コサイン変換の逆変換回路の実施例の構成を示す。

20 【0091】すなわち、この図8に示す離散コサイン変換の逆変換回路は、入力端子INを介して供給されたシリアルな行列データを4m個毎に並列化する並列化手段としてのシリアル/パラレル(S/P)変換回路36と、定数行列のデータ成分が格納されたメモリを含む4次の第1の内積演算回路35<sub>1</sub>～35<sub>4</sub>と、係数が0, +1及び-1で16次の第2の内積演算回路34<sub>1</sub>～34<sub>4</sub>と、係数が+1及び-1で4次の第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>とを有すると共に、上記第1, 第2及び第3の内積演算回路をそれぞれ4m個並列に配し、8行8列の入力データを第1のコーナターナ37を介して上記S/P変換回路36に供給し、上記S/P変換回路36からシリアルされた並列データの各データを上記4m個のうちの対応する第1の内積演算回路35<sub>1</sub>～35<sub>4</sub>に供給し、上記各第1の内積演算回路35<sub>1</sub>～35<sub>4</sub>の出力データを上記4m個のうちの対応する上記第2の内積演算回路34<sub>1</sub>～34<sub>4</sub>に直接供給し、上記4m個の第2の内積演算回路34<sub>1</sub>～34<sub>4</sub>からの各出力データを上記4m個のそれぞれの上記第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>に直接供給し、上記4m個の第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>からの出力をシリアルデータに変換した後第2のコーナターナ31を介して出力端子OUTから導出するようにしたものである。また、上記4m個の第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>の出力を直列データに変換する処理は、パラレル/シリアル(P/S)変換回路32により行われる。

【0092】なお、図8に示す実施例の回路においても、上記4m個のm=1の場合の例を示しており、したがって、上記並列に配される各内積演算回路は、それぞれ4個となっている。

50 【0093】ここで、離散コサイン変換は、前記式6に

示したようになるが、離散コサイン変換の逆変換 (IDCT) は、式7に示すようになる。ただしこの式7では\*

$$[Xc] = [Q] \cdot [L] \cdot [R] \cdot [TS] \cdot [V] \cdot [W] \cdot [Yc] \quad (7)$$

【0094】また、本実施例の離散コサイン変換の逆変換回路における内積演算回路35<sub>1</sub>～35<sub>4</sub>では、図9に示すような行列[V]が用いられる。この図9の[V]及び図中[V<sub>11</sub>], [V<sub>22</sub>], [V<sub>33</sub>], [V<sub>44</sub>]は、前述した図31～図34の行列[V]及び各小行列[V<sub>11</sub>], [V<sub>22</sub>], [V<sub>33</sub>], [V<sub>44</sub>]の転置行列である。更に、内積演算回路34<sub>1</sub>～34<sub>4</sub>では図10に示すような行列[TS]が用いられる。この図10の行列[TS]及び図中[TS<sub>11</sub>], [TS<sub>22</sub>], [TS<sub>33</sub>], [TS<sub>44</sub>]は、前述した図27～図30の行列[TS]及び各小行列[TS<sub>11</sub>], [TS<sub>22</sub>], [TS<sub>33</sub>], [TS<sub>44</sub>]の転置行列である。

【0095】上記図8において、入力端子INから8行8列のデータが、前記図14の行列[Yc]に示すように列順で入力され、64ワードの第1のコーナターナ37に供給される。当該第1のコーナターナ37では、前述した図35及び図36～図39に示した行列[W]及び各小行列[W<sub>11</sub>], [W<sub>22</sub>], [W<sub>33</sub>], [W<sub>44</sub>]の転置行列[W]及び[W<sub>11</sub>], [W<sub>22</sub>], [W<sub>33</sub>], [W<sub>44</sub>]で上記行列[Yc]の並べ替えを行う。この第1のコーナターナ37の出力データが上記S/P変換回路36に供給される。当該P/S変換回路36は、上記コーナターナ37から供給されてくるシリアルデータの4つを1組としてパラレル化する処理を行う。このパラレル化されたデータは、それぞれ対応する上記4個の第1の内積演算回路35<sub>1</sub>～35<sub>4</sub>に供給される。

【0096】上記内積演算回路35<sub>1</sub>では上記図9の小行列[V<sub>11</sub>]の演算が行われ、上記内積演算回路35<sub>2</sub>では上記図9の小行列[V<sub>22</sub>]の演算が行われ、上記内積演算回路35<sub>3</sub>では上記図9の小行列[V<sub>33</sub>]の演算が行われ、上記内積演算回路35<sub>4</sub>では上記図9の小行列[V<sub>44</sub>]の演算が行われる。

【0097】更に、これら内積演算回路35<sub>1</sub>～35<sub>4</sub>の各出力データは、それぞれ対応する上記4個の第2の内積演算回路34<sub>1</sub>～34<sub>4</sub>に直接送られる。上記内積演算回路34<sub>1</sub>では上記図10の小行列[TS<sub>11</sub>]の演算が行われ、上記内積演算回路34<sub>2</sub>では上記図10の小行列[TS<sub>22</sub>]の演算が行われ、上記内積演算回路34<sub>3</sub>では上記図10の小行列[TS<sub>33</sub>]の演算が行われ、上記内積演算回路34<sub>4</sub>では上記図10の小行列[TS<sub>44</sub>]の演算が行われる。

【0098】これら第2の内積演算回路34<sub>1</sub>～34<sub>4</sub>の各出力データは、それぞれ上記第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>に送られる。これら第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>での係数は、+1, -1のみとなっている

\*8で割る処理を省略して示している。

ここで、上記第1の内積演算回路33<sub>1</sub>の係数は+1のみであり、内積演算回路33<sub>2</sub>～33<sub>4</sub>の係数は+1及び-1のみとなっている。これら内積演算回路33<sub>1</sub>～33<sub>4</sub>は、前述した第1の実施例の内積演算回路33<sub>1</sub>～33<sub>4</sub>と同様に4入力加算回路として動作するものである。すなわち、上記内積演算回路33<sub>1</sub>では上記転置行列[L]の第1行目、第5行目、第9行目、・・・、第61行目の演算が行われ、上記内積演算回路33<sub>2</sub>では上記転置行列[L]の第2行目、第6行目、第10行目、・・・、第62行目の演算が、上記内積演算回路33<sub>3</sub>では上記転置行列[L]の第3行目、第7行目、第11行目、・・・、第63行目の演算が、上記内積演算回路33<sub>4</sub>では上記転置行列[L]の第4行目、第8行目、第12行目、・・・、第64行目の演算が行われる。

【0099】これら4つの第3の内積演算回路33<sub>1</sub>～33<sub>4</sub>の出力は、上記P/S変換回路32に送られ、当該P/S変換回路32でシリアルデータに変換された後、上記第2のコーナターナ31に送られる。当該コーナターナ31では、前述の図35～図39に示した行列[W]の転置行列[W]で供給されたデータの並べ替えを行う。これにより、出力端子OUTからは、行列[Xc]のデータが出力されるようになる。

【0100】換言すれば、本発明の第3の実施例によれば、前述した図1の離散コサイン変換回路とは逆の処理を行うことが可能となる。この離散コサイン変換の逆変換回路においても、4m倍以上の速度で処理が可能となると共に、構成も簡略化されることになる。

#### 【0101】

【発明の効果】上述のように、本発明の離散コサイン変換回路においては、供給された行列データを4m個毎に並列化し、この並列化されたデータを、4m個並列に配した係数が+1及び-1で4次の内積演算手段と係数が0, +1及び-1で16次(或いは2次と8次)の内積演算手段と定数行列のデータ成分が格納された4次の内積演算手段とに順次直接供給するようにしたことにより、構成を簡略化すると共に離散コサイン変換の処理速度を4m倍以上とすることが可能となる。また、離散コサイン変換の逆変換回路においても同様に構成の簡略化と処理速度の向上とを図ることができるようになる。

#### 【図面の簡単な説明】

【図1】第1の実施例の離散コサイン変換回路の概略構成を示すブロック図である。

【図2】第1の実施例の第1の内積演算回路の具体的構成を示すブロック図である。

【図3】第1の実施例の第2の内積演算回路の具体的構成を示すブロック図である。

【図4】第1の実施例の第3の内積演算回路の具体的構成を示すブロック図である。

【図5】第2の実施例の離散コサイン変換回路の概略構成を示すブロック図である。

【図6】第2の実施例の第2の内積演算回路の具体的構成を示すブロック図である。

【図7】第2の実施例の第3の内積演算回路の具体的構成を示すブロック図である。

【図8】第3の実施例の離散コサイン変換の逆変換回路の概略構成を示すブロック図である。

【図9】逆変換回路の第1の内積演算回路における行列を示す図である。

【図10】逆変換回路の第2の内積演算回路における行列を示す図である。

【図11】定数行列の各要素を示す図である。

【図12】定数行列の各要素と余弦の角度との関係を示す図である。

【図13】行列 $[Xc]$ を説明するための図である。

【図14】行列 $[Yc]$ を説明するための図である。

【図15】行列データ乗算回路の概略構成を示すブロック図である。

【図16】コーナターナの具体的構成を示すブロック図である。

【図17】行列 $[Q]$ を説明するための図である。

【図18】行列 $[Q]$ の小行列 $[Q_1]$ を示す図である。

【図19】行列 $[Q]$ の小行列 $[Q_2]$ を示す図である。

【図20】行列 $[L]$ を説明するための図である。

【図21】行列 $[L]$ の小行列 $[L_{11}]$ ,  $[L_{12}]$ ,  $[L_{31}]$ ,  $[L_{44}]$ を説明するための図である。

【図22】行列 $[R]$ を説明するための図である。

【図23】行列 $[R]$ の小行列 $[R_{11}]$ を示す図である。

【図24】行列 $[R]$ の小行列 $[R_{22}]$ を示す図である。

【図25】行列 $[R]$ の小行列 $[R_{33}]$ を示す図である。

【図26】行列 $[R]$ の小行列 $[R_{44}]$ を示す図である。

【図27】行列 $[TS]$ を説明するための図である。

【図28】行列 $[TS]$ の小行列 $[TS_{11}]$ を示す図である。

【図29】行列 $[TS]$ の小行列 $[TS_{22}]$ ,  $[TS_{32}]$ を示す図である。

【図30】行列 $[TS]$ の小行列 $[TS_{33}]$ を示す図である。

【図31】行列 $[V]$ を説明するための図である。

【図32】行列 $[V]$ の小行列 $[V_{11}]$ を示す図である。

【図33】行列 $[V]$ の小行列 $[V_{22}]$ ,  $[V_{32}]$ を示す図である。

【図34】行列 $[V]$ の小行列 $[V_{33}]$ を示す図である。

【図35】行列 $[W]$ を説明するための図である。

【図36】行列 $[W]$ の小行列 $[W_{11}]$ を示す図である。

【図37】行列 $[W]$ の小行列 $[W_{22}]$ を示す図である。

【図38】行列 $[W]$ の小行列 $[W_{33}]$ を示す図である。

【図39】行列 $[W]$ の小行列 $[W_{44}]$ を示す図である。

【図40】行列データ乗算回路の他の構成を示すブロック図である。

【図41】行列 $[S]$ を説明するための図である。

【図42】行列 $[S]$ の小行列 $[S_{11}]$ ,  $[S_{12}]$ ,  $[S_{33}]$ ,  $[S_{44}]$ を説明するための図である。

【図43】行列 $[T]$ を説明するための図である。

【図44】行列 $[T]$ の小行列 $[T_{11}]$ を示す図である。

【図45】行列 $[T]$ の小行列 $[T_{22}]$ ,  $[T_{32}]$ を示す図である。

【図46】行列 $[T]$ の小行列 $[T_{33}]$ を示す図である。

【符号の説明】

1, 7, 31, 37.....コーナターナ

2, 36.....S/P変換回路

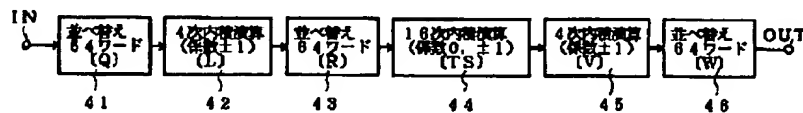
6, 32.....S/P変換回路

40 31 ~ 34, 41 ~ 44, 51 ~ 54, 241 ~ 2

44, 251 ~ 254, 331 ~ 334, 341 ~ 34

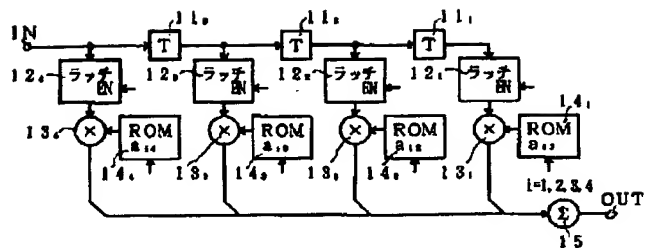
4, 351 ~ 354.....内積演算回路

【図15】





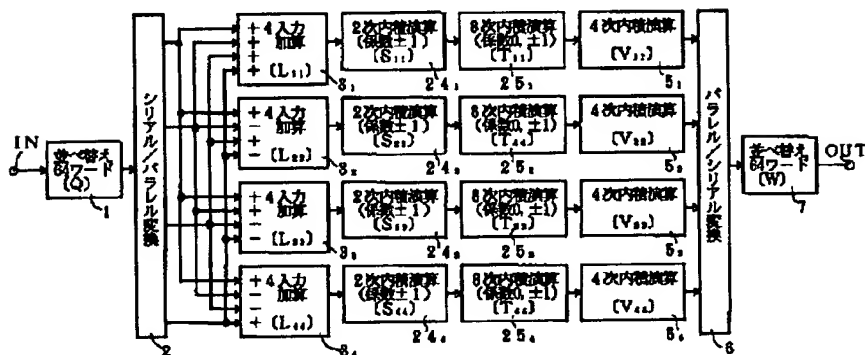
【図4】



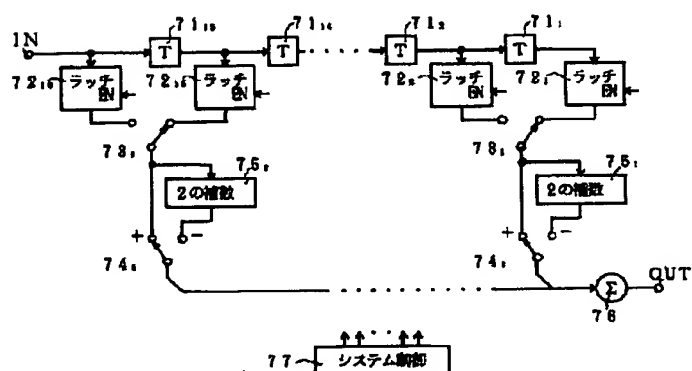
【図14】

$$(Y_c) = \begin{bmatrix} y_{11} \\ y_{21} \\ y_{31} \\ \vdots \\ y_{1n} \\ y_{12} \\ y_{22} \\ \vdots \\ y_{1n} \\ y_{1n} \end{bmatrix}$$

【図5】



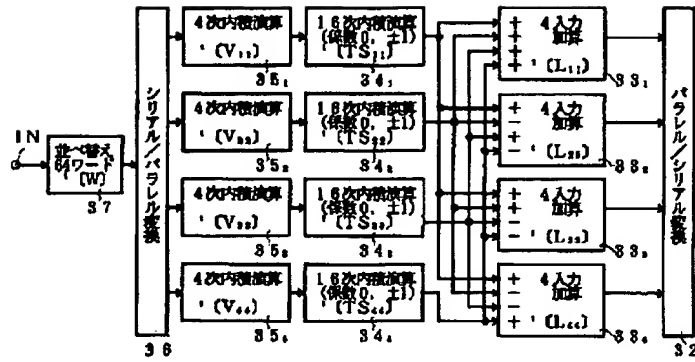
【図7】



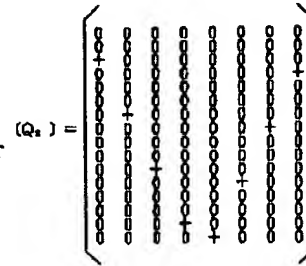
【図10】

$$(TS) = \begin{bmatrix} 'TS_{11} & & & \\ & 'TS_{22} & & \\ & & 'V_{33} & \\ & & & 'V_{44} \end{bmatrix}$$

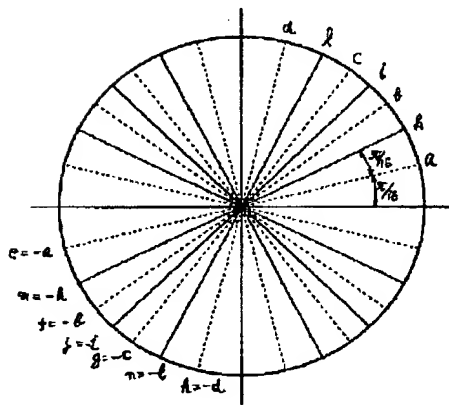
【図8】



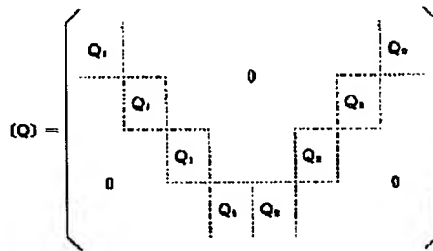
【図19】



【図12】

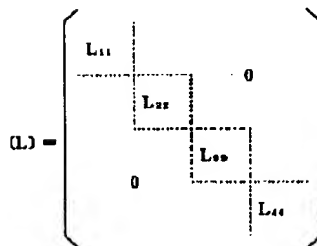


【図17】

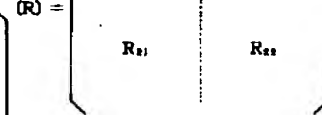
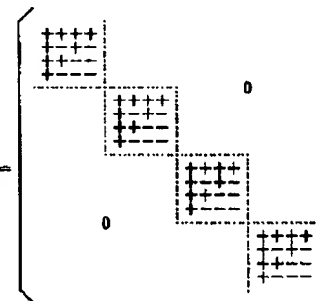


【図22】

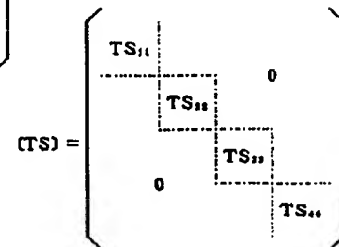
【図20】



【図21】

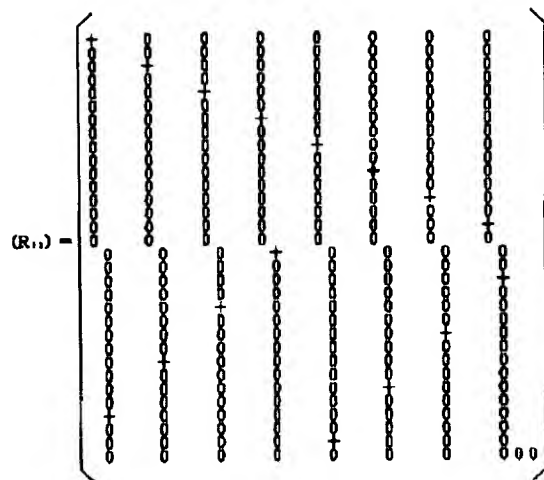


【図27】

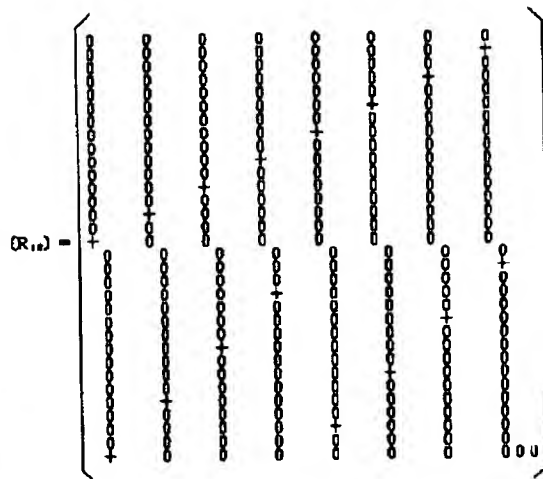




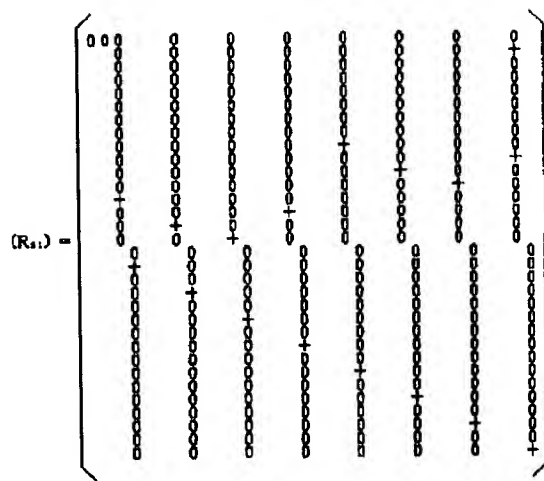
【図23】



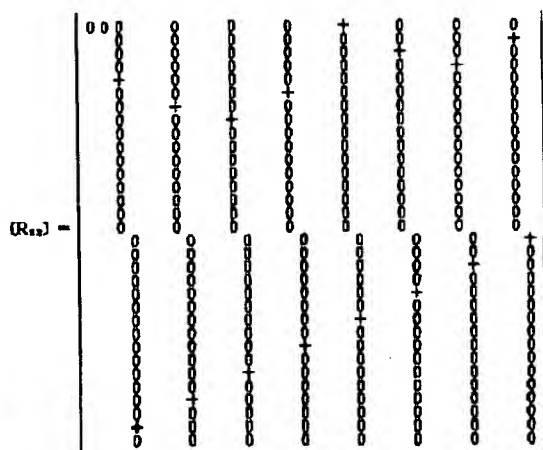
【図24】



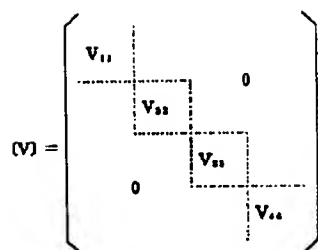
【図25】



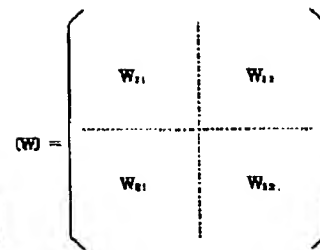
【図26】



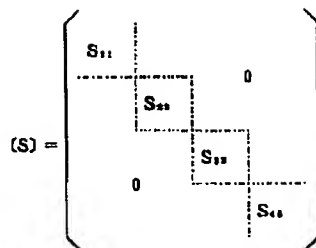
【図31】



【図35】



【図41】





【図33】

$$\begin{pmatrix} (V_{11}) \\ (V_{12}) \end{pmatrix} = \begin{pmatrix} \begin{matrix} a & c & b & h \\ f & a & d & g \\ g & h & a & b \\ d & b & g & a \end{matrix} & & & \\ & \begin{matrix} a & c & b & h \\ f & a & d & g \\ g & h & a & b \\ d & b & g & a \end{matrix} & & \\ & & \begin{matrix} a & c & b & d \\ f & a & d & c \\ g & h & a & f \\ h & f & c & a \end{matrix} & \\ & & & \begin{matrix} a & c & b & h \\ f & a & d & g \\ g & h & a & b \\ d & b & g & a \end{matrix} \end{pmatrix}$$

【図34】

$$(V_{11}) = \begin{pmatrix} \begin{matrix} + & j & k & n \\ + & j & l & k \\ + & i & n & m \\ + & i & m & l \end{matrix} & & & \\ & \begin{matrix} + & i & k & l \\ - & i & n & k \\ - & i & l & m \\ - & j & k & l \end{matrix} & & \\ & & \begin{matrix} + & i & k & l \\ - & i & n & k \\ + & j & n & k \\ + & i & m & n \end{matrix} & \\ & & & \begin{matrix} + & j & k & l \\ - & j & n & k \\ + & i & n & k \\ - & i & k & l \end{matrix} \end{pmatrix}$$

【図36】

$$(W_{11}) = \begin{pmatrix} \begin{matrix} +0000000000000000 \\ 000000+0000000000 \\ 00+000000000000 \\ 00000000+00000000 \end{matrix} & \begin{matrix} +0000000000000000 \\ 0+00000000000000 \\ 00+00000000000000 \\ 000+00000000000000 \end{matrix} \\ \\ \begin{matrix} 0000+000000000000 \\ 00000000+00000000 \\ 00000000000000+0 \\ 00000000000000+00 \end{matrix} & \begin{matrix} 00000000+00000000 \\ 000000000000+0000 \\ 00000000000000+00 \\ 0000+000000000000 \end{matrix} \end{pmatrix}$$

【図37】

$$(W_{11}) = \begin{pmatrix} \begin{matrix} 00000000 \\ +0000000000000000 \\ 00000000+00000000 \\ 00000000000000+000 \\ 0000000000+0000000000 \\ 0000000000+000000 \end{matrix} & \begin{matrix} +0000000000000000 \\ 0000000000+00000000 \\ 00000000000000+00000000 \\ 00000000000000+00000000 \\ 00000000000000+00000000 \\ 00000000000000+00000000 \end{matrix} \\ \\ \begin{matrix} 0+00000000000000 \\ 000000000000+0000 \\ 00000000000000+00 \\ 00000000+0000000000 \end{matrix} & \begin{matrix} 0000+000000000000 \\ 0+00000000000000 \\ 00000000000000+00 \\ 00000000000000+0000 \end{matrix} \end{pmatrix}$$

【図38】

$$(W_{11}) = \begin{bmatrix} 0+00000000000000 & 000000000000+000 \\ 0000000000+00000 & 0000000000000+00 \\ 000+000000000000 & 0000000000000+0 \\ 00000000000+0000 & 00000000000000+ \\ \\ 00000+0000000000 & 000000000+000000 \\ 000000000000+000 & 000000+000000000 \\ 00000000000000+ & 00000+0000000000 \\ 000000000+000000 & 0000000000+00000 \end{bmatrix}$$

【図39】

$$(W_{22}) = \begin{bmatrix} 000000000000000 \\ 00+0000000000000 \\ 00000000+0000000 \\ 0000000000000+0 \\ 00000+0000000000 \\ \\ 00000+0000000000 & 00000000+0000000 \\ 00000000+0000000 & 000000000000+00 \\ 0000000000000+0 & 00+0000000000000 \\ 00000+0000000000 & 0000000+00000000 \\ \\ 000+000000000000 & 000000000000+000 \\ 0000+00000000000 & 00000+0000000000 \\ 00000000000000+ & 0000000000+00000 \\ 0000000000+00000 & 000+000000000000 \end{bmatrix}$$

【図42】

$$\begin{pmatrix} (S_{11}) \\ (S_{22}) \\ (S_{33}) \\ (S_{44}) \end{pmatrix} = \begin{bmatrix} \begin{array}{ccccccc} \boxed{++} & & & & & & \\ & \boxed{++} & & & & & \\ & & \boxed{++} & & & & \\ & & & \boxed{++} & & & \\ & & & & \boxed{++} & & \\ & & & & & \boxed{++} & \\ & & & & & & \boxed{++} \\ & & & & & & & \boxed{++} \end{array} & 0 \\ 0 & \end{bmatrix}$$

【図44】

$$(T_{11}) = \begin{bmatrix} + & 0 & + & 0 & + & 0 & + & 0 & + & 0 & + & 0 & + & 0 \\ + & 0 & + & 0 & + & 0 & + & 0 & - & 0 & - & 0 & - & 0 \\ + & 0 & - & 0 & - & 0 & + & 0 & + & 0 & - & 0 & - & 0 \\ + & 0 & - & 0 & - & 0 & + & 0 & - & 0 & + & 0 & + & 0 \\ 0 & + & 0 & + & 0 & + & 0 & + & 0 & + & 0 & + & 0 & + \\ 0 & + & 0 & + & 0 & + & 0 & + & 0 & - & 0 & - & 0 & - \\ 0 & + & 0 & + & 0 & - & 0 & - & 0 & + & 0 & + & 0 & - \\ 0 & + & 0 & - & 0 & + & 0 & - & 0 & + & 0 & - & 0 & + \\ + & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & + & 0 & - & 0 \\ + & 0 & + & 0 & - & 0 & - & 0 & + & 0 & - & 0 & + & 0 \\ 0 & + & 0 & + & 0 & - & 0 & - & 0 & - & 0 & - & 0 & + \\ 0 & + & 0 & - & 0 & + & 0 & - & 0 & - & 0 & + & 0 & - \\ 0 & 0 & - & 0 & + & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & - \\ + & 0 & - & 0 & + & 0 & - & 0 & - & 0 & - & 0 & + & 0 \\ 0 & + & 0 & - & 0 & - & 0 & + & 0 & + & 0 & - & 0 & + \\ 0 & + & 0 & - & 0 & - & 0 & + & 0 & - & 0 & + & 0 & - \end{bmatrix}$$

【図45】

$$\begin{pmatrix} T_{11} \\ T_{12} \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & + & 0 & + & 0 & + & 0 & + & 0 & 0 & 0 & 0 & 0 \\ - & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & + & 0 \\ + & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & + & 0 \\ 0 & 0 & 0 & 0 & + & 0 & + & 0 & - & 0 & - & 0 & 0 & 0 & 0 & 0 \\ 0 & - & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & + \\ 0 & 0 & 0 & - & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & + & 0 & 0 \\ 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & - & 0 & 0 & 0 & 0 & 0 & - \\ 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & + & 0 & + & 0 & 0 & 0 & 0 & + & 0 & 0 \\ 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & + \\ 0 & + & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & - \\ 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & - & 0 & - & 0 & 0 & 0 & 0 & + & 0 & 0 \\ 0 & 0 & 0 & - & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & + & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & + & 0 & - & 0 & + & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ - & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & - & 0 \\ + & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & - & 0 \\ 0 & 0 & 0 & 0 & + & 0 & - & 0 & - & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{pmatrix}$$

【図46】

$$\begin{pmatrix} T_{11} \\ T_{12} \end{pmatrix} = \begin{pmatrix} + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & - & + & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & + & 0 \\ 0 & - & + & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & + & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & + & - & 0 & 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & - \\ 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 \\ + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & - & 0 & 0 & - & 0 & 0 & 0 \\ 0 & - & 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & - \\ 0 & 0 & + & 0 & 0 & 0 & 0 & - & 0 & - & 0 & 0 & - & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & 0 & - & 0 & 0 & + & 0 & 0 & 0 \\ 0 & 0 & + & 0 & 0 & 0 & + & 0 & - & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & - & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & + \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & 0 & 0 & + & 0 & 0 \\ 0 & 0 & 0 & + & + & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & - & - & 0 & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 & + \\ 0 & - & - & 0 & 0 & 0 & 0 & 0 & 0 & - & 0 & 0 & 0 & + & 0 & 0 & 0 & 0 \end{pmatrix}$$

【手続補正書】

【提出日】平成3年11月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

\* 【補正内容】

【0003】 ここで、上記離散コサイン変換(DCT)及びこの離散コサイン変換の逆変換(IDCT)は、例えばN次の行列の場合、第1行の全てが $1/(2^{1/2})$ で、第2行以下は、

$$\cos \{ (2x+1)k\pi/2N \}$$

$$(x=0, 1, \dots, N-1; k=1, \dots, N-1)$$

の要素からなる行列[N]を用いて定義されるものである。例えば、2次元の場合は、次の式1及び式2の様に※

$$[Y] = [N] \cdot [X] \cdot [N]$$

$$[X] = [N] \cdot [Y] \cdot [N] \quad (2)$$

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】 なお、行列の規模が $2^N$ 行 $2^N$ 列の時、上記式1には、 $1/2^{N+1}$ の係数が掛かるが、これは $N+1$ ビットのデータシフトと等価であるため、この係数の記載については省略する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】 この内積演算回路45から出力された64ワードのデータVTSRLQXは、上記第3のコーナーナ46において、図35及び図36～図39に示す行列[W]で表されるように並べ替えられて、所望の出

※表される。

(1)

力データWVTSRLQXが得られる。ここで、この図35及び図36～図39において、図35の図中 $W_{11}$ 、 $W_{22}$ 、 $W_{33}$ 、 $W_{44}$ には、図36～図39に示すような0、+1及び-1の要素のみで構成される行列 $[W_{11}]$ 、 $[W_{22}]$ 、 $[W_{33}]$ 、 $[W_{44}]$ が入る。この第3のコーナーナ46で並べ替えられたデータWVTSRLQXが、出力端子OUTから導出される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】 更に、行列[L]、[TS]及び[V]は、それらを形成する小行列が何れも対角線上に配列されており、各転置行列も同様の形になるため、逆変換の場合にも、前述の図15の行列データ乗算回路と同様の構成で対応することが可能となっている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】 また、上記行列データ乗算回路は、図40に示すように、係数が+1及び-1で4次の第1の内積演算回路42と、係数が+1及び-1で2次の第2の内積演算回路47と、係数が0、+1及び-1で8次の第3の内積演算回路48と、定数行列のデータ成分が格納されたメモリを含む4次の第3の内積演算回路45とを設け、8行8列の入力データを第1のコナターナ41を介して第1の内積演算回路42に供給し、当該第1の内積演算回路42の出力を第2のコナターナ43を介して第2の内積演算回路47に供給し、当該第2の内積演算回路47の出力を直接第3の内積演算回路48に供給し、当該第3の内積演算回路48の出力を直接第4の内積演算回路45に供給すると共に、当該第4の内積演算回路45の出力を第3のコナターナ46を介して導出することもできる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】 また、後述のように、第2の内積演算回路47の係数は、+1及び-1だけである。また、第3の内積演算回路48の係数は、+1、-1及び0だけであり、同一演算サイクル内で、+1又は-1が2個並ぶことがない。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】 次に、内積演算回路47から出力された64ワードのデータSRLQXは、更に、第3の内積演算回路48において、図43～図46の行列〔T〕で表されるような演算処理を受ける。ここで、この図43～図46において、図43の図中 $T_{11}$ 、 $T_{22}$ 、 $T_{33}$ 、 $T_{44}$ の部分には、図44～図46に示すように、それぞれ0、+1及び-1の要素のみであり、そして、各行の各奇数列の要素又はその右隣の偶数列の要素の少なくとも何方か一方は0であるような16行16列の行列〔 $T_{11}$ 〕、〔 $T_{22}$ 〕、〔 $T_{33}$ 〕、〔 $T_{44}$ 〕が入る。また、この図43の行列〔T〕の残りの部分には全て0が入るようになっている。すなわち、当該図43の行列〔T〕は、それぞれ上記16行16列の小行列が対角線上に4個並び、他の部分が全て0要素の疎行列となる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】 この図40の行列データ乗算回路においては、各内積演算回路42、45、47、48の演算処理を表す〔L〕、〔V〕、〔S〕、〔T〕が何れも疎行列であるため、乗算回路を少なくして、各内積演算回路を小規模にすることができる。また内積演算回路48については、行列の係数が+1、-1と0のみであり、各行に+1又は-1の係数が2個隣あって並ぶことがないため、例えば簡単な乗算器の構成によって演算処理ができ、内積演算時に丸め誤差が発生することかない。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】 なお、図40の行列データ乗算回路においては、行列〔T〕の転置行列が、各行で+1又は-1の係数が2個並ばない形にはならないため、逆変換の場合には、図40と同様の構成で対応することができない。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】 ところで、前述した図15に示した行列データ乗算回路においては、前記コナターナ41の出力は、コナターナ43に送られる。このコナターナ43での行列〔R〕の演算は単なる並べ替え処理であるが、このコナターナ43における並べ替え処理は、該コナターナ43の前段の各回路により得られる行列〔L〕・〔Q〕・〔Xc〕の64個のデータを4つの組に分けることにより、該コナターナ43の後段の内積演算回路44で前記図27～図30に示した行列〔TS〕の4つの小行列〔 $TS_{11}$ 〕、〔 $TS_{22}$ 〕、〔 $TS_{33}$ 〕、〔 $TS_{44}$ 〕の演算を可能とさせるために行われるものである。このため、上記コナターナ43では、上記行列〔L〕・〔Q〕・〔Xc〕の64個のデータを、当該行列〔L〕・〔Q〕・〔Xc〕の第1行目、第5行目、第9行目、・・・、第61行目の16個のデータと、上記行列〔L〕・〔Q〕・〔Xc〕の第2行目、第6行目、第10行目、・・・、第62行目の16個のデータと、上記行列〔L〕・〔Q〕・〔Xc〕の第3行目、第7行目、第11行目、・・・、第63行目の16個のデータと、上記行列〔L〕・〔Q〕・〔Xc〕の第4行目、第8行目、第12行目、・・・、第64行

目の16個のデータとの、4つの組にわけける処理が行われている。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】 更に、これら第2の内積演算回路4<sub>1</sub>～4<sub>4</sub>の各出力データは、それぞれ対応する上記第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>に直接送られる。これら第3の内積演算回路5<sub>1</sub>～5<sub>4</sub>の係数はDCTに特有の値となっている。これら各内積演算回路でも上述同様に、上記内積演算回路5<sub>1</sub>では、前述した図31～図34に示した行列〔V〕の4つの小行列〔V<sub>11</sub>〕,〔V<sub>22</sub>〕,〔V<sub>33</sub>〕,〔V<sub>44</sub>〕のうちの上記小行列〔V<sub>11</sub>〕の演算が行われ、上記内積演算回路5<sub>2</sub>では上記小行列〔V<sub>22</sub>〕の演算が、上記内積演算回路5<sub>3</sub>では上記小行列〔V<sub>33</sub>〕の演算が、上記内積演算回路5<sub>4</sub>では上記小行列〔V<sub>44</sub>〕の演算が行われることになる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】 図3において、入力端子INにはそれぞれ対応する上記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの16ワード単位のデータが供給され、上記入力端子IN或いは対応する単位遅延器61<sub>1</sub>～61<sub>4</sub>を介したそれぞれ16個のデータが上記16個のラッチ回路62<sub>1</sub>～62<sub>4</sub>に取り込まれ、16T時間にわたって保持される。すなわち、当該16次の内積演算回路においては、上記入力端子INを介して供給された16ワード単位のデータが直接に、或いは、縦続接続された各単位遅延器61<sub>1</sub>～61<sub>4</sub>を介して、対応する上記各ラッチ回路62<sub>1</sub>～62<sub>4</sub>に送られる。この状態で、各ラッチ回路62<sub>1</sub>～62<sub>4</sub>には共通のイネーブルパルスが供給され、これにより、上記各ラッチ回路62<sub>1</sub>～62<sub>4</sub>に供給されたデータが取り込まれ、16T時間にわたって保持される。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】 この図4において、入力端子INにはそれぞれ対応する上記内積演算回路4<sub>1</sub>～4<sub>4</sub>からの16ワード単位のデータが供給され、上記入力端子IN及び単位遅延器11<sub>1</sub>～11<sub>4</sub>を介したそれぞれ4個の4ワード単位のデータが上記4個のラッチ回路12<sub>1</sub>～12<sub>4</sub>に取り込まれ、4T時間にわたって保持される。すな

わち、当該4次の内積演算回路においては、上記入力端子INを介して供給された16ワード単位のデータが直接に、或いは、縦続接続された上記単位遅延器11<sub>1</sub>～11<sub>4</sub>等を介して対応する上記各ラッチ回路12<sub>1</sub>～12<sub>4</sub>に送られる。この状態で、各ラッチ回路12<sub>1</sub>～12<sub>4</sub>には共通のイネーブルパルスが供給され、これにより、各ラッチ回路12<sub>1</sub>～12<sub>4</sub>に供給されたデータが取り込まれ、4T時間にわたって保持される。この各ラッチ回路12<sub>1</sub>～12<sub>4</sub>の各出力は、対応する乗算器13<sub>1</sub>～13<sub>4</sub>に送られる。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】 この図5においては、前記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの出力データがそれぞれ対応する上記第2の内積演算回路24<sub>1</sub>～24<sub>4</sub>に直接送られ、またこの第2の内積演算回路24<sub>1</sub>～24<sub>4</sub>からの出力データがそれぞれ対応する上記第3の内積演算回路25<sub>1</sub>～25<sub>4</sub>に直接送られる。上記第2の内積演算回路24<sub>1</sub>～24<sub>4</sub>の係数は+1, -1のみとなっている。また上記第3の内積演算回路25<sub>1</sub>～25<sub>4</sub>の係数は0, +1, -1のみとなっており、同一演算サイクル内で、+1又は-1が2個並ぶことがないものとなっている。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正内容】

【0082】 図6において、入力端子INにはそれぞれ対応する上記内積演算回路3<sub>1</sub>～3<sub>4</sub>からの16ワード単位のデータが供給され、上記入力端子IN或いは対応する単位遅延器91を介したそれぞれ8個の2ワード単位のデータが上記2個のラッチ回路92<sub>1</sub>, 92<sub>2</sub>に取り込まれ、2T時間にわたって保持される。すなわち、当該2次の内積演算回路においては、上記入力端子INを介して供給された16ワード単位のデータが直接に、或いは、単位遅延器91を介して、対応する上記各ラッチ回路92<sub>1</sub>, 92<sub>2</sub>に送られる。この状態で、各ラッチ回路92<sub>1</sub>, 92<sub>2</sub>には共通のイネーブルパルスが供給され、これにより、上記各ラッチ回路92<sub>1</sub>, 92<sub>2</sub>に供給されたデータが取り込まれ、2T時間にわたって保持される。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0084

【補正方法】変更

【補正内容】

【0084】 図7に上記第3の内積演算回路25<sub>1</sub>～

254の具体的な構成を示す。この図7において、8次の内積演算回路は図5の各内積演算回路251～254に相当し、15個の単位遅延器711、712～715が逆順に縦続接続されて、その出力端、各接続中点及び入力端に16個のラッチ回路721、722～725がそれぞれ接続され、各1対のラッチ回路721と722、723と724、 $\dots$ 、7215と7216の出力が8個の切換スイッチ731、732～738の各一對の被切換端子に供給される。当該スイッチ731～738の各出力が、8個の3つの被切換端子を有するスイッチ741、742～748の各+側の被切換端子に供給されると共に、8個の2の補数回路751、752～758を介して、スイッチ741～748の各-側の被切換端子に供給される。また、上記スイッチ741～748の3つ目の被切換端子には、係数0がそれぞれ供給されるようになっており、当該スイッチ741～748の各出力が加算器76に供給される。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正内容】

【0085】 切換スイッチ741～748は、上記2の補数回路751～758と共に、係数が0、+1、-1だけの乗算器をそれぞれ構成し、スイッチ731～738と共に、システム制御回路77により互いに独立に切り換えられる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正内容】

【0087】 上記内積演算回路251～254の8個のスイッチ731～738は、前記行列[T]の16行16列の小行列 $[T_{11}]$ 、 $[T_{22}]$ 、 $[T_{33}]$ 、 $[T_{44}]$ の8個のスイッチ731～738は行列[T]の16行16列の小行列の各々隣合う要素のどちらが0であるかにより、0でない側に切り換えられて、各ラッチ721～7216に保持されたデータのうち8個のデータが取り出される。ただし、各々隣合う要素が両方とも0である場合、対応する各スイッチ731～738は、どちら側に切り換えられても良い。8個のスイッチ741～748は、上記取り出された8個のデ

タに対応する16行16列の小行列の要素が0、+1、-1のいずれかであるかにより、0側、+側又は-側に切り換えられて、上記取り出された8個のデータに0、+1又は-1の係数が乗算され加算器76で加算されて端子OUTから出力される。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正内容】

【0094】 また、本実施例の離散コサイン変換の逆変換回路における内積演算回路351～354では、図9に示すような行列、 $[V]$ が用いられる。この図9の $[V]$ 及び図中 $[V_{11}]$ 、 $[V_{22}]$ 、 $[V_{33}]$ 、 $[V_{44}]$ は、前述した図31～図34の行列 $[V]$ 及び各小行列 $[V_{11}]$ 、 $[V_{22}]$ 、 $[V_{33}]$ 、 $[V_{44}]$ の転置行列である。更に、内積演算回路341～344では図10に示すような行列 $[TS]$ が用いられる。この図10の行列 $[TS]$ 及び図中 $[TS_{11}]$ 、 $[TS_{22}]$ 、 $[TS_{33}]$ 、 $[TS_{44}]$ は、前述した図27～図30の行列 $[TS]$ 及び各小行列 $[TS_{11}]$ 、 $[TS_{22}]$ 、 $[TS_{33}]$ 、 $[TS_{44}]$ の転置行列である。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正内容】

【0099】 これら4つの第3の内積演算回路331～334の出力は、上記P/S変換回路32に送られ、当該P/S変換回路32でシリアルデータに変換された後、上記第2のコナターナ31に送られる。当該コナターナ31では、前述の図35～図39に示した行列 $[Q]$ の転置行列、 $[Q]$ で供給されたデータの並べ替えを行う。これにより、出力端子OUTからは、行列 $[Xc]$ のデータが出力されるようになる。

【手続補正21】

【補正対象書類名】図面

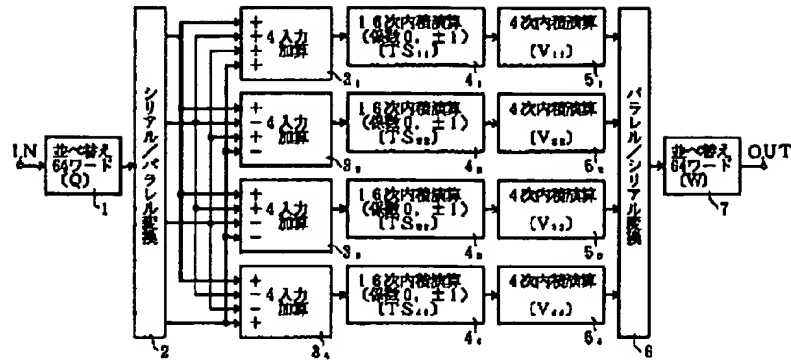
【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】





【手続補正22】

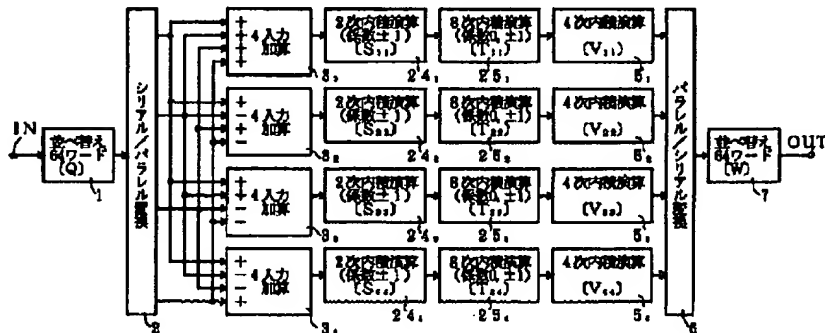
【補正対象書類名】図面

【補正対象項目名】図5

\*【補正方法】変更

【補正内容】

\*【図5】



【手続補正23】

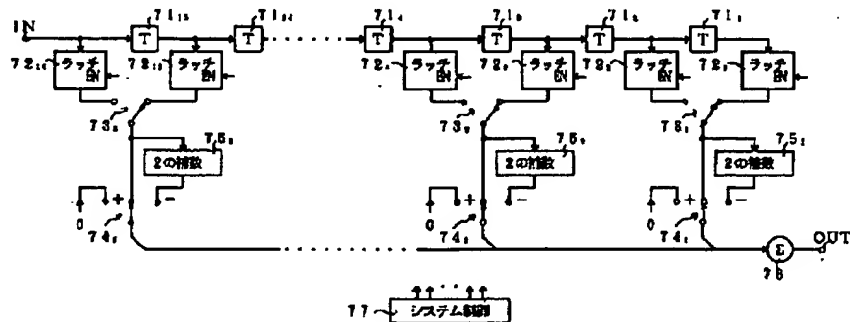
【補正対象書類名】図面

【補正対象項目名】図7

\*【補正方法】変更

【補正内容】

\*【図7】



【手続補正24】

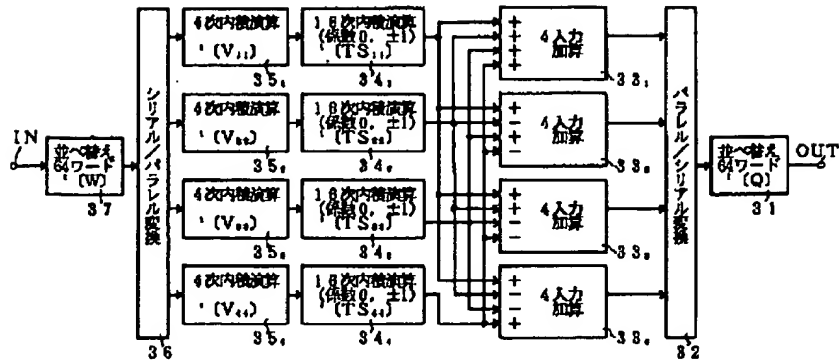
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



【手続補正 2 5】

【補正対象書類名】図面

【補正対象項目名】図 1 0

【補正方法】変更

【補正内容】

【図 1 0】

$${}^t(TS) = \begin{pmatrix} {}^tTS_{11} & & & 0 \\ & {}^tTS_{22} & & \\ & & {}^tTS_{33} & \\ 0 & & & {}^tTS_{44} \end{pmatrix}$$

\* 【手続補正 2 6】

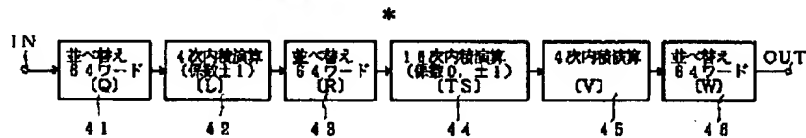
【補正対象書類名】図面

【補正対象項目名】図 1 5

【補正方法】変更

【補正内容】

【図 1 5】



【手続補正 2 7】

【補正対象書類名】図面

【補正対象項目名】図 2 1

【補正方法】変更

【補正内容】

【図 2 1】

$$\begin{pmatrix} L_{11} \\ L_{22} \\ L_{33} \\ L_{44} \end{pmatrix} = \begin{pmatrix} \begin{pmatrix} +++ \\ ++- \\ +-+ \\ -++ \\ --+ \\ -+- \\ --- \end{pmatrix} & & & 0 \\ & \begin{pmatrix} +++ \\ ++- \\ +-+ \\ -++ \\ --+ \\ -+- \\ --- \end{pmatrix} & & \\ & & \begin{pmatrix} +++ \\ ++- \\ +-+ \\ -++ \\ --+ \\ -+- \\ --- \end{pmatrix} & \\ 0 & & & \begin{pmatrix} +++ \\ ++- \\ +-+ \\ -++ \\ --+ \\ -+- \\ --- \end{pmatrix} \end{pmatrix}$$

【手続補正 2 8】

【補正対象書類名】図面

【補正対象項目名】図 3 4

【補正方法】変更

【補正内容】

【図 3 4】

$$(V_{40}) = \begin{pmatrix} + i k n \\ + j l k \\ + j n m \\ + i m l \\ \\ + i k l \\ - i n k \\ - i l m \\ - j k l \\ \\ + i k l \\ - i n k \\ + j n k \\ + i m n \\ \\ + j k l \\ - j n k \\ + j n k \\ - j k l \end{pmatrix}$$

【手続補正29】

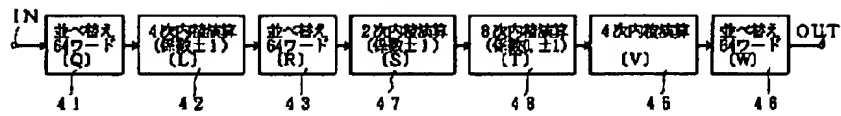
【補正対象書類名】図面

【補正対象項目名】図40

【補正方法】変更

【補正内容】

【図40】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

// H 0 4 N 1/41

識別記号

庁内整理番号

F I

技術表示箇所

B 8839-5C